

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2002-313950  
(P2002-313950A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 21/8238		H 0 1 L 27/08	3 3 1 E 5 F 0 4 8
21/336			3 2 1 C 5 F 1 1 0
27/08	3 3 1		3 2 1 E 5 F 1 4 0
27/092		29/78	3 0 1 H
29/78			3 0 1 L

審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2001-117231(P2001-117231)

(22) 出願日 平成13年4月16日 (2001. 4. 16)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 永井 謙一

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 100065248

弁理士 野河 信太郎

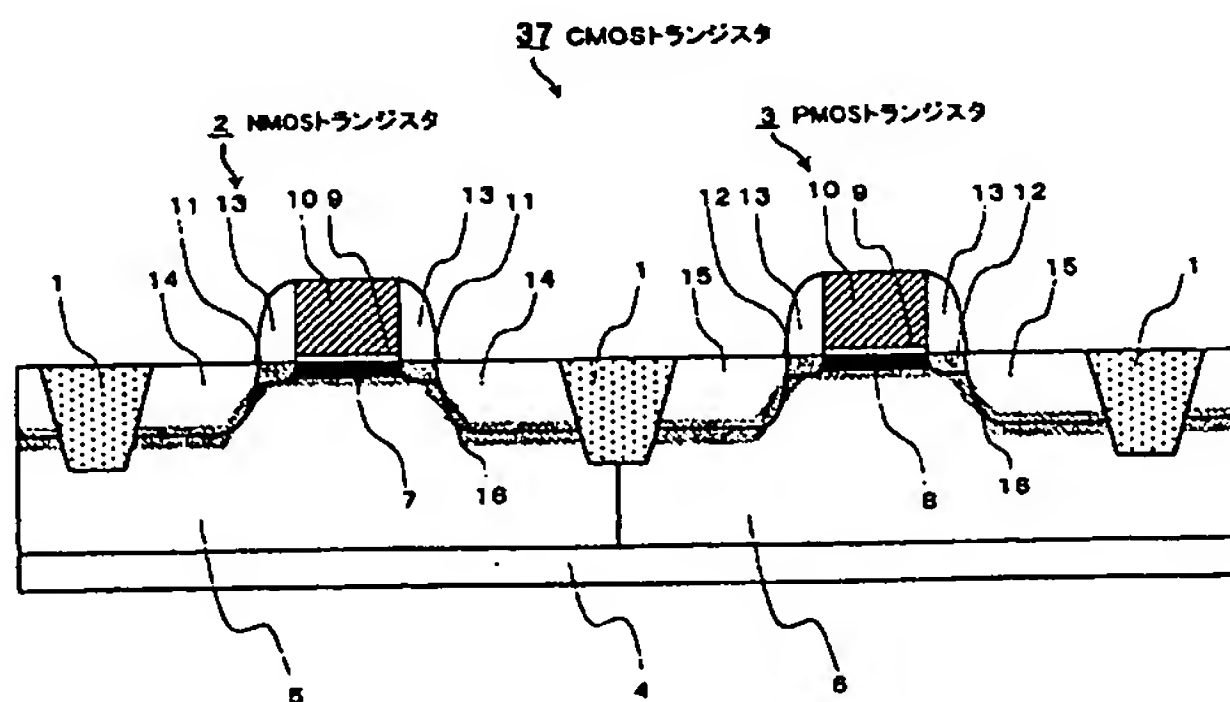
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 CMOSトランジスタにおいて、フォトリソグラフィ工程を追加せず、NMOSトランジスタにおける逆短チャネル効果を防止し、PMOSトランジスタの閾値を所望の値に制御するとともにパンチスルー耐圧の劣化を防止する半導体装置を提供することを目的とする。

【解決手段】 半導体基板4表面に形成されたp及びnウェル5、6上にゲート絶縁膜9、ゲート電極10、チャネル領域7、8及びソース/ドレイン領域14、15を有するNMOS及びPMOSトランジスタが形成され、NMOS及びPMOSトランジスタのチャネル領域7、8に、深さ方向の幅が一定の帯状のp型高濃度不純物領域16が配置し、かつPMOSトランジスタのチャネル領域8に、p型高濃度不純物領域16のp型不純物濃度を上回る量のn型不純物が存在する半導体装置。



## 【特許請求の範囲】

【請求項 1】 半導体基板表面に形成された p ウェルと n ウェルとの上に、それぞれ、ゲート絶縁膜、ゲート電極、チャンネル領域及びソース／ドレイン領域を有する NMOS トランジスタと PMOS トランジスタが形成されて構成される CMOS トランジスタであって、前記 NMOS 及び PMOS トランジスタのチャンネル領域に、深さ方向の幅が一定の帯状の p 型高濃度不純物領域が配置しており、かつ、前記 PMOS トランジスタのチャンネル領域に、前記 p 型高濃度不純物領域の p 型不純物濃度を上回る量の n 型不純物が存在することを特徴とする半導体装置。

【請求項 2】 NMOS トランジスタのソース／ドレイン領域と p ウェルとの境界を含む領域及び PMOS トランジスタのソース／ドレイン領域と n ウェルとの境界を含む領域に、それぞれ p 型高濃度不純物領域が配置されてなる請求項 1 に記載の半導体装置。

【請求項 3】 (a) 半導体基板上的 NMOS 及び PMOS トランジスタ形成領域に、p ウェル及び n ウェル、ゲート絶縁膜及びゲート電極をそれぞれ形成する工程、

(b) 前記 NMOS 及び PMOS トランジスタ形成領域に、該ゲート電極をマスクとして n 型又は p 型不純物をイオン注入し、熱処理を行ってソース／ドレイン領域をそれぞれ形成する工程、(c) 前記半導体基板全面に前記ゲート電極を貫通して p 型不純物をイオン注入し、熱処理を行って、前記ゲート電極直下のチャンネル領域に深さ方向の幅が一定の帯状の p 型高濃度不純物領域を、その一部又は全部が配置するように形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 4】 工程 (c) でのイオン注入における注入ピーク深さが、ゲート電極の下半分からソース／ドレイン領域の深さの上半分の範囲内となるとともに、ソース／ドレイン領域とウェルとの境界直下になるように設定する請求項 3 に記載の方法。

【請求項 5】 工程 (a) の n ウェル形成の直前又は直後に、半導体基板表面に、p 型高濃度不純物領域に導入される p 型不純物濃度を上回る量の n 型不純物を導入する請求項 3 又は 4 に記載の方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製法方法に関し、より詳細には、閾値電圧が良好に制御された半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術及び発明が解決しようとする課題】 従来から、同一半導体基板上に NMOS トランジスタと PMOS トランジスタとを混載した CMOS トランジスタにより、低消費電力性に優れた LSI を実現している。

【0003】 しかし、近年の CMOS トランジスタの微細化、高集積化により、CMOS トランジスタを構成す

るトランジスタのゲート長が短くなるにつれて閾値電圧が低下する短チャンネル効果が問題となっている。また、特に、NMOS トランジスタにおいては、図 10 の白丸で示したように、チャンネルドープ法によって p 型不純物であるボロンをチャンネル領域に導入することにより、チャンネル長が短くなるにつれて閾値電圧が一旦上昇するという逆短チャンネル効果が発生することが問題となっている。

【0004】 通常、NMOS トランジスタを形成する場合には、あらかじめチャンネル領域に閾値電圧を調整するために、p 型不純物としてボロンイオンを導入しており、その後、ゲート電極等を形成し、LDD 領域やソース／ドレイン領域形成のために、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$  程度の n 型不純物を半導体基板にイオン注入し、さらにその後に不純物を活性化するために熱処理を行う。

【0005】 しかし、LDD 領域やソース／ドレイン領域の形成のためのイオン注入によって半導体基板の結晶構造が破壊され、多量の点欠陥が生成され、このような点欠陥が存在すると、熱処理した際に、チャンネル領域に存在するボロンイオンが点欠陥と対をなして、いわゆる増速拡散とよばれる著しい拡散が起こり、チャンネル領域の両端部でボロン濃度が極端に高くなる（ボロンイオンのパイルアップ）。

【0006】 したがって、NMOS トランジスタにおいて、チャンネル長が短いほどチャンネル領域のボロン濃度が高くなりやすく、設計した値よりも閾値電圧が急激に上昇する (C. S. Rafferty et al. "Explanation of Reverse Short Channel Effect by Defect Gradients", IEDM93, p 311~314、参照)。

【0007】 このような NMOS トランジスタにおける逆短チャンネル効果が顕著となると、わずかなゲート長の変動によって閾値電圧が大きく変動し、閾値電圧の制御性が悪くなる。

【0008】 そこで、逆短チャンネル効果を抑制した CMOS トランジスタの製法方法が、例えば、特開平 8-18047 号公報及び特開平 8-78682 号公報等に提案されている。

【0009】 これらの方法によれば、図 14 に示したように、NMOS 及び PMOS トランジスタ形成領域 27、28 において、ソース／ドレイン領域 31、32 形成のための不純物のイオン注入及び活性化アニールを行った後に、NMOS トランジスタ形成領域 27 において、ゲート電極 33 を貫通する注入エネルギーにより、ボロンイオンをチャンネル領域に導入する（図 14 中、29 参照）。これにより、ソース／ドレイン領域 31、32 形成のためのイオン注入時に生じた点欠陥を低減させることができ、増速拡散が防止される。

【0010】 しかし、このようなチャンネル領域へのボロンイオンの注入を、NMOS 及び PMOS トランジスタ

形成領域 27、28 の双方に対して行くと、PMOS トランジスタ形成領域 28 に注入されたボロンイオンに起因して、PMOS トランジスタの閾値電圧が低下し、さらにパンチスルー耐圧も低下するのみならず、ソース／ドレイン領域 32 下に新たな接合が形成されることとなり、基板電位を適正に保つことができなくなるという問題が生じる。

【0011】このような問題を回避するために、図 15 に示したように、PMOS トランジスタ形成領域 28 をレジストマスク 30 により被覆した後、NMOS トランジスタ形成領域 27 のチャンネル領域にのみ、ボロンイオンを注入する（図 15 中、29 参照）場合には、PMOS トランジスタ形成領域 28 を被覆するためのフォトリソグラフィ工程が増加するという問題が生じる。

【0012】本発明は上記課題に鑑みなされたものであって、CMOS トランジスタにおいて、フォトリソグラフィ工程を追加することなく、さらにボロンイオンの増速拡散を防止して、NMOS トランジスタの逆短チャンネル効果を抑制し、同時に PMOS トランジスタの閾値を所望の値に制御するとともにパンチスルー耐圧の劣化を防止して、PMOS トランジスタ特性を適正に維持することができる半導体装置及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明によれば、半導体基板表面に形成された p ウェルと n ウェルとの上に、それぞれ、ゲート絶縁膜、ゲート電極、チャンネル領域及びソース／ドレイン領域を有する NMOS トランジスタと PMOS トランジスタが形成されて構成される CMOS トランジスタであって、前記 NMOS 及び PMOS トランジスタのチャンネル領域に、深さ方向の幅が一定の帯状の p 型高濃度不純物領域が配置しており、かつ、前記 PMOS トランジスタのチャンネル領域に、前記 p 型高濃度不純物領域の p 型不純物濃度を上回る量の n 型不純物が存在する半導体装置が提供される。

【0014】また、本発明によれば、(a) 半導体基板上の NMOS 及び PMOS トランジスタ形成領域に、p ウェル及び n ウェル、ゲート絶縁膜及びゲート電極をそれぞれ形成する工程、(b) 前記 NMOS 及び PMOS トランジスタ形成領域に、該ゲート電極をマスクとして n 型又は p 型不純物をイオン注入し、熱処理を行ってソース／ドレイン領域をそれぞれ形成する工程、(c) 前記半導体基板全面に前記ゲート電極を貫通して p 型不純物をイオン注入し、熱処理を行って、前記ゲート電極直下のチャンネル領域に深さ方向の幅が一定の帯状の p 型高濃度不純物領域を、その一部又は全部が配置するように形成する工程を含む半導体装置の製造方法が提供される。

【0015】

【発明の実施の形態】本発明の半導体装置は、半導体基

板表面に形成された p ウェルと n ウェルとの上に、NMOS トランジスタと PMOS トランジスタがそれぞれ形成されて構成される CMOS トランジスタである。

【0016】本発明の半導体装置に使用される半導体基板は、シリコン、ゲルマニウム等の元素半導体基板、GaAs、InGaAs 等の化合物半導体等からなる基板、SOI 基板又は多層 SOI 基板等の種々の基板を用いることができる。なかでもシリコン基板が好ましい。また、半導体基板は、その表面にトランジスタ、キャパシタ等の半導体素子や回路；配線層；LOCOS 膜、トレンチ素子分離膜、STI (Shallow Trench Isolation) 膜等の素子分離領域；絶縁膜等が組み合わされて形成されていてもよい。

【0017】p ウェルと n ウェルとは、少なくとも 1 つずつ半導体基板表面に形成されていればよく、これらのウェルの不純物濃度は、特に限定されるものではないが、例えば、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$  程度である。

【0018】p ウェルと n ウェルとの上には、それぞれ NMOS トランジスタと PMOS トランジスタが形成されている。これらのトランジスタは、ゲート絶縁膜、ゲート電極、チャンネル領域及びソース／ドレイン領域を有している。ここでのゲート絶縁膜、ゲート電極、ソース／ドレイン領域は、通常 CMOS トランジスタに用いられるような NMOS トランジスタや PMOS トランジスタを構成することができるものであれば、その材料、膜厚、形状及び大きさ、不純物濃度等は特に限定されない。例えば、ゲート絶縁膜は、シリコン酸化膜により形成されていることが適当であり、膜厚は  $1 \sim 10 \text{ nm}$  程度が挙げられる。ゲート電極は、ポリシリコンにより形成されていることが適当であり、膜厚は  $70 \sim 500 \text{ nm}$  程度が挙げられる。ソース／ドレイン領域は、不純物濃度が、例えば、 $10^{18} \sim 10^{20} \text{ cm}^{-3}$  程度が挙げられる。なお、ゲート電極の側壁には、絶縁膜によりサイドウォールスペーサが形成されていてもよい。また、ソース／ドレイン領域は、チャンネル領域側に LDD 領域を備えていてもよい。

【0019】チャンネル領域には、NMOS 及び PMOS トランジスタの何れにおいても、p ウェルにおける p 型不純物よりも高濃度に p 型不純物が含有された領域、つまり p 型高濃度不純物領域が、一定の深さ方向の幅を有する帯状に配置している。ここで、チャンネル領域とは、通常トランジスタがオンする場合に反転する領域のみならず、一般にチャンネル注入で閾値電圧が制御できる範囲の領域をも包含する。例えば、チャンネル領域の幅は、ゲート絶縁膜下の半導体基板表面から  $30 \text{ nm}$  程度の範囲が挙げられる。

【0020】p 型高濃度不純物領域は、得ようとする CMOS の特性、サイズ等により異なるが、少なくとも  $20 \text{ nm}$  程度の幅でチャンネル領域に配置していることが好ましい。ただし、p 型高濃度不純物領域の深さ方向の全



幅がこれ以上の場合には、その深さ方向の全領域においてチャンネル領域とオーバーラップしていてもよいが、p型高濃度不純物領域の一部がゲート絶縁膜やゲート電極内に及んでいてもよい。p型高濃度不純物領域の深さ方向の全幅は、50～100nm程度が適当である。p型高濃度不純物領域に含有されるp型不純物濃度は、得ようとするNMOSトランジスタの動作電圧、閾値等によって適宜調整することができ、例えば、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 程度が挙げられる。ここで、p型高濃度不純物領域は、p型不純物の注入ピークを中心にして全注入量の50%程度のイオンを含む幅を意味する。例えば、ガウス分布関数によると、ピークから片側 $\Delta R_p$ の0.675倍の範囲内に全イオンの50%が存在することとなる。 $\Delta R_p$ は不純物の注入エネルギー等によって変動するので、例えば、ボロンでは、40keVのとき $\Delta R_p = 40 \text{ nm}$ 、幅は54nmであり、70keVのとき $\Delta R_p = 60 \text{ nm}$ 、幅は81nmである。

【0021】なお、PMOSトランジスタのチャンネル領域においては、p型高濃度不純物領域が、NMOSトランジスタのチャンネル領域と同様に配置していたとしても、n型不純物がp型不純物濃度を上回る量で含有されており、結果として、n型の導電性を示す。ここでのn型不純物は、p型高濃度不純物領域におけるp型不純物により相殺された後の濃度として、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 程度が挙げられる。

【0022】また、p型高濃度不純物領域は、NMOS及びPMOSトランジスタのチャンネル領域のみならず、ソース/ドレイン領域とウェルとの境界を含む領域に、それぞれ配置していてもよい。また、LDD領域が形成されている場合には、LDD領域内の一部に又はLDD領域とウェルとの境界を含む領域に、それぞれ配置していてもよい。

【0023】本発明の半導体装置の製造方法においては、まず、工程(a)において、半導体基板上のNMOS及びPMOSトランジスタ形成領域に、pウェル及びnウェル、ゲート絶縁膜及びゲート電極をそれぞれ形成する。pウェル及びnウェルは、公知の方法、例えば、フォトリソグラフィ及びエッチング工程により、各領域上に開口を有するレジストマスクを形成し、このレジストマスクを用いてp型又はn型の不純物をそれぞれイオン注入することにより形成することができる。また、ゲート絶縁膜及びゲート電極は、当該分野で公知の方法により成膜し、パターニングすることにより形成することができる。

【0024】なお、特にPMOSトランジスタ形成領域には、nウェルを形成するためのn型不純物をイオン注入した後又はその前に、nウェルを形成するために使用するレジストマスクを利用して、半導体基板表面に、p型高濃度不純物領域に導入されるp型不純物濃度を上回る量のn型不純物を導入しておくことが好ましい。この

場合のイオン注入は、例えば、得ようとするCMOSの特性、動作電圧、サイズ、p型高濃度不純物領域の不純物濃度等により適宜調整することができ、例えば、砒素イオンを、 $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ、120keV程度の加速エネルギーが挙げられる。

【0025】また、LDD領域を形成する場合には、ゲート電極を形成した後、工程(b)の前に、ゲート電極をマスクとして用いてp型又はn型の不純物をイオン注入することにより、LDD領域を形成し、その後、ゲート電極を含む半導体基板上全面に絶縁膜を形成し、エッチバックすることにより、ゲート電極の側壁にサイドウォールスペーサを形成することが好ましい。LDD領域形成のイオン注入は、例えば、砒素イオンを5～20keV程度の加速エネルギー、 $1 \times 10^{14} \sim 10^{15} \text{ cm}^{-2}$ 程度のドーズ又は $\text{BF}_2^+$ を5～20keV程度の加速エネルギー、 $1 \times 10^{14} \sim 10^{15} \text{ cm}^{-2}$ 程度のドーズで行うことができる。

【0026】次いで、工程(b)において、NMOS及びPMOSトランジスタ形成領域に、ゲート電極（あるいはゲート電極とサイドウォールスペーサ）をマスクとしてn型又はp型不純物をイオン注入し、熱処理を行ってソース/ドレイン領域をそれぞれ形成する。ここでのイオン注入の条件は特に限定されるものではなく、例えば、砒素イオンを30～50keV程度の加速エネルギー、 $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ又は $\text{BF}_2^+$ を10～50keV程度の加速エネルギー、 $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズが挙げられる。熱処理は、ランプアニール、炉アニール、RTA法等の種々の方法によって行うことができる。例えば、ランプアニールにより、1000～1100℃程度の温度範囲、5～20秒間程度が挙げられる。

【0027】工程(c)において、半導体基板全面にゲート電極を貫通してp型不純物をイオン注入し、熱処理を行って、ゲート電極直下のチャンネル領域に深さ方向の幅が一定の帯状のp型高濃度不純物領域を、その一部又は全部が配置するように形成する。ここでのイオン注入は、ゲート電極の膜厚、ソース/ドレイン領域の深さ、イオン種等により適宜調整することができ、例えば、イオン注入の注入ピーク深さが、ゲート電極の下半分からソース/ドレイン領域の深さの上半分の範囲内になるように設定することができ、ゲート絶縁膜とチャンネル領域表面との境界付近になるように設定することが好ましく、さらに、ソース/ドレイン領域とウェルとの境界付近になるように設定することが好ましく、ソース/ドレイン領域とウェルとの境界直下になるように設定することがより好ましい。具体的には、ボロンイオン又は $\text{BF}_2^+$ を、50～90keV程度の加速エネルギー、 $1 \times 10^{12} \sim 10^{13} \text{ cm}^{-2}$ 程度のドーズでイオン注入することが挙げられる。また、別の観点から、上記ゲート絶縁膜及びゲート電極の膜厚、ソース/ドレイン領域の不純物

濃度等を考慮して、イオン注入の注入ピーク深さが、100～300 nm程度に設定することができる。また、熱処理は、上記と同様の方法により行うことができる。このようなイオン注入及び熱処理を行うことにより、最終的に、p型高濃度不純物領域が、その一部又は全部をチャンネル領域に配置することができる。

【0028】本発明の半導体装置の製造方法では、上記一連の工程の後、さらに、層間絶縁膜の形成、コンタクトホール形成の形成、配線層の形成、半導体基板表面又は得られた半導体基板表面の洗浄等の半導体プロセスにおける工程を任意に組み合わせることにより、本発明の半導体装置を完成させることができる。

【0029】以下に本発明の半導体装置及びその製造方法を、図面に基づいて詳しく説明する。

【0030】この実施の形態における半導体装置であるCMOSトランジスタ37は、図1に示したように、素子分離絶縁膜1を有するシリコン基板4上に形成されたNMOSトランジスタ2とPMOSトランジスタ3とから構成される。

【0031】NMOSトランジスタ2は、シリコン基板4表面に形成されたpウェル5上にゲート絶縁膜9を介してゲート電極10が形成されており、ゲート電極10の側壁にはサイドウォールスペーサ13が形成されている。また、チャンネル領域7に隣接して、サイドウォールスペーサ13直下には、LDD領域11が形成されており、LDD領域11に隣接してソース／ドレイン領域14が形成されている。また、チャンネル領域7には、深さ方向に一定の幅（例えば、80 nm程度）を有し、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 程度のボロンイオンを含む帯状のp型高濃度不純物領域16が形成されている。

【0032】なお、図2に示したように、p型高濃度不純物領域16は、その一部がチャンネル領域7に配置しているのであれば、ゲート絶縁膜9やゲート電極10内に配置していてもよい。

【0033】また、NMOSトランジスタ2の閾値電圧は、p型高濃度不純物領域16の不純物濃度を調整することにより制御することができる。

【0034】PMOSトランジスタ3は、シリコン基板4表面に形成されたnウェル6上に、NMOSトランジスタ2と同様に、ゲート絶縁膜9、ゲート電極10、サイドウォールスペーサ13が形成されており、チャンネル領域8に隣接して、LDD領域12、ソース／ドレイン領域15が形成されている。また、チャンネル領域8には、NMOSトランジスタ2と同様に、p型高濃度不純物領域16が形成されている。

【0035】なお、PMOSトランジスタ3のチャンネル領域8は、砒素イオンが $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 程度の濃度で導入されているため、p型高濃度不純物16の導電型は相殺されている。また、PMOSトランジスタ3のソース／ドレイン領域15では、p型高濃度不純物領域

16は、ソース／ドレイン領域15の直下に位置するため、PMOSトランジスタ3のパンチスルー耐圧劣化を防止し、ソース／ドレイン領域15の下に新たな接合が形成されることはないので、基板電位を適正に保つことができる。

【0036】このような半導体装置は、以下の方法により形成することができる。

【0037】まず、図3(a)に示したように、p型シリコン基板4に素子分離絶縁膜1を形成し、NMOSトランジスタ形成領域17とPMOSトランジスタ形成領域18とに分離する。次いで、シリコン基板4全面に注入保護膜としてシリコン酸化膜19を形成する。

【0038】その後、図3(b)に示したように、PMOSトランジスタ形成領域18を被覆するレジストマスク20を形成し、NMOSトランジスタ形成領域17にp型不純物としてボロンイオンを注入してpウェル5を形成する。

【0039】同様に、図4(c)に示したように、PMOSトランジスタ形成領域18にn型不純物としてリンイオンを注入してnウェル6を形成する。

【0040】次いで、砒素イオンを $10^{13} \text{ cm}^{-2}$ 程度のドーズで注入してチャンネル領域8を形成する。

【0041】続いて、シリコン酸化膜19をウェットエッチングした後、図4(d)に示したように、シリコン基板4全面に膜厚3.4 nm程度のゲート絶縁膜9及び膜厚150 nm程度のポリシリコン膜22を形成する。

【0042】次いで、図5(e)に示したように、ゲート絶縁膜9及びポリシリコン膜22をパターニングしてゲート電極10を形成する。

【0043】その後、図5(f)に示したように、PMOSトランジスタ形成領域18を被覆するレジストマスク23を形成し、NMOSトランジスタ形成領域17にn型不純物として砒素イオンを、 $10 \text{ keV}$ の加速エネルギー、 $5 \times 10^{14} \text{ cm}^{-2}$ で注入して、LDD領域11をシリコン基板4表面に形成する。

【0044】続いて、図6(g)に示したように、NMOSトランジスタ形成領域17を被覆するレジストマスク24を形成し、PMOSトランジスタ形成領域18にp型不純物として $\text{BF}_2^+$ を、 $10 \text{ keV}$ の加速エネルギー、 $1.2 \times 10^{14} \text{ cm}^{-2}$ で注入して、LDD領域12をシリコン基板4表面に形成する。

【0045】次いで、シリコン基板4全面にシリコン窒化膜を形成し、エッチバックすることにより、図6

(h)に示したように、ゲート電極10の側壁にサイドウォールスペーサ13を形成する。

【0046】その後、図7(i)に示したように、PMOSトランジスタ形成領域18を被覆するレジストマスク25を形成し、NMOSトランジスタ形成領域17にn型不純物として砒素イオンを、 $50 \text{ keV}$ の加速エネルギー、 $3 \times 10^{15} \text{ cm}^{-2}$ のドーズで注入して、ソース



／ドレイン領域14をシリコン基板4表面に形成する。

【0047】同様に、図7(j)に示したように、NMOSトランジスタ形成領域17を被覆するレジストマスク26を形成し、PMOSトランジスタ形成領域18にp型不純物として $\text{BF}_2^+$ を、30keVの加速エネルギー、 $2 \times 10^{15} \text{ cm}^{-2}$ で注入して、ソース／ドレイン領域15をシリコン基板4表面に形成する。なお、この段階では、ソース／ドレイン領域14、15は電氣的にまだ不活性であり、その周辺には多数の点欠陥が存在する。

【0048】次に、例えば1050℃で10秒間のランプ加熱により、活性化アニールを行う。これにより、ソース／ドレイン領域14、15が活性化されるとともに、点欠陥が消滅する。

【0049】続いて、図8(k)に示したように、ボロニオンを、70keVの加速エネルギー、 $10^{12} \sim 10^{13} \text{ cm}^{-2}$ 程度のドーズで、ゲート電極を貫通させてシリコン基板4全表面にイオン注入し、p型高濃度不純物領域16を形成する。このとき、ゲート電極10が形成された領域でのイオン注入のピーク深さは、ゲート電極10下方からソース／ドレイン領域14、15の深さの半分の範囲内にくるように設定し、p型高濃度不純物領域16の深さ方向の全部又は一部がチャネル領域7、8内に配置するように設定する。なお、ソース／ドレイン領域14、15でのイオン注入のピーク深さは、ソース／ドレイン領域14、15直下にくるように設定する。つまり、イオン注入のピーク深さはゲート電極の厚さとソース／ドレイン領域の深さに応じて調整する。

【0050】その後、上記と同様に、再度活性化アニールを行い、p型高濃度不純物領域16を活性化させる。このとき、1回目の熱処理で点欠陥はすでに消滅しているので、ボロニオンの増速拡散が起こることはない。

【0051】上記のような半導体装置の製造方法で作成したCMOSトランジスタにおけるNMOSトランジスタでは、図9に示したように、ゲート電極10が形成された領域での深さ方向のボロニオンの分布は、従来法で見られるような基板表面でのボロニ濃度の急激な上昇が見られず、増速拡散が発生していないことを示す。

【0052】また、このようなNMOSトランジスタの閾値電圧変動量（逆チャネル効果の度合い）を図10に示す。このようなNMOSトランジスタにおいては、増速拡散が発生していないので、従来法のようにチャネル長が短い場合でも、閾値上昇が見られず、逆短チャネル効果が十分に抑制されていることが分かる。

【0053】さらに、上記のような半導体装置の製造方法で作成したCMOSトランジスタにおけるPMOSトランジスタにおけるパンチスルー耐圧のゲート依存性を、図11に示す。なお、ここでのパンチスルー耐圧とは、ゲート電圧が0V ( $V_{gs} = V_{bs} = V_s = 0 \text{ V}$ ) で1 $\mu\text{A}$ のドレイン電流 $I_d$ が流れるときのドレイン電

圧で定義される。この実施例では、電源電圧として1.8Vを使用している。

【0054】図11によれば、このようなPMOSトランジスタでは従来法と比較しても、耐圧の劣化が見られない。

【0055】また、このようなPMOSトランジスタの閾値電圧の基板バイアス電圧依存性を、図12に示す。ここでの基板バイアス電圧依存性とは、基板電圧を変動させたときの3極管閾値電圧の変動量で定義され、 $V_{ds} = 0.05 \text{ V}$ 、 $V_s = 0 \text{ V}$ 、 $V_{bs}$ を変動させて $G_{m \text{ Max}}$ 時の $V_g - I_d$ 曲線の接線の外挿で閾値電圧を読み取った。

【0056】図12によれば、このようなPMOSトランジスタでは、従来法と比較しても、差異はみられない。

【0057】上記のような半導体装置の製造方法で作成したCMOSトランジスタにおけるNMOS及びPMOSトランジスタにおける接合ダイオード特性を、図13に示す。ここでの接合ダイオード特性とは、PN接合において逆バイアスを印加した場合のI-V特性であり、動作電圧(1.8V)時の電流量(漏れ電流量)の上限と真性破壊電圧に上限を設けている。基板電位 $V_{bs} = 0 \text{ V}$ に固定、ソース／ドレイン領域に0~10Vの逆バイアスを印加してI-V曲線を得た。

【0058】図13によれば、いずれのトランジスタにおいても適正な耐圧が得られている。従来法のように、PMOSトランジスタ領域をマスクすることなくNMOSトランジスタの閾値制御用のボロニオンを、ゲート電極を貫いて全面注入しても、注入ピーク深さを調整することにより、PMOSトランジスタで適正な特性を得ることができる。

【0059】

【発明の効果】本発明によれば、NMOS及びPMOSトランジスタのチャネル領域に、深さ方向の幅が一定の帯状のp型高濃度不純物領域が配置しており、かつ、前記PMOSトランジスタのチャネル領域に、前記p型高濃度不純物領域のp型不純物濃度を上回る量のn型不純物が存在するため、フォトリソグラフィ工程を最小限にとどめながら、NMOSトランジスタの逆短チャネル効果による閾値のシフトを防止することができるとともに、PMOSトランジスタにおいては、良好なパンチスルー耐圧を維持することができる。

【0060】また、NMOSトランジスタのソース／ドレイン領域とpウェルとの境界を含む領域及びPMOSトランジスタのソース／ドレイン領域とnウェルとの境界を含む領域に、それぞれp型高濃度不純物領域が配置する場合には、特にPMOSトランジスタにおいてソース／ドレイン領域下に新たな接合が形成されることなく、ウェル電位を適切に制御することが可能となる。

【0061】さらに、本発明によれば、ソース／ドレイ

ン領域形成のためのイオン注入をした後、活性化のための熱処理を行い、その後、半導体基板上全面に、ゲート電極を貫通して p 型不純物をイオン注入して熱処理を行うため、NMOS トランジスタにおける増速拡散による逆短チャネル効果による閾値のシフトを、フォトリソグラフィ工程を追加することなく簡便な方法によって、有効に防止することができる。よって、製造コストの削減及び CMOS トランジスタの特性の劣化を防止して歩留まりの向上を実現することができる。

【0062】特に、工程（c）でのイオン注入における注入ピーク深さが、ゲート電極の下半分からソース／ドレイン領域の深さの上半分の範囲内となるとともに、ソース／ドレイン領域とウェルとの境界直下になるように設定する場合には、PMOS トランジスタにおいて新たな PN 接合の形成を回避することができ、容易にウェル電位を適切に制御することが可能となるとともに、パンチスルー耐圧の劣化を回避することができる。

【0063】また、工程（a）の n ウェル形成の直前又は直後に、半導体基板表面に、p 型高濃度不純物領域に導入される p 型不純物濃度を上回る量の n 型不純物を導入する場合には、高濃度の p 型不純物を確実に相殺することができ、PMOS トランジスタの閾値電圧を容易に制御することが可能となる。

#### 【図面の簡単な説明】

【図 1】本発明の半導体装置の要部の概略断面図である。

【図 2】本発明の別の半導体装置の要部の概略断面図である。

【図 3】本発明の半導体装置の製造方法を説明するための要部の概略断面工程図である。

【図 4】本発明の半導体装置の製造方法を説明するための要部の概略断面工程図である。

【図 5】本発明の半導体装置の製造方法を説明するための要部の概略断面工程図である。

【図 6】本発明の半導体装置の製造方法を説明するための要部の概略断面工程図である。

【図 7】本発明の半導体装置の製造方法を説明するための要部の概略断面工程図である。

【図 8】本発明の半導体装置の製造方法を説明するための要部の概略断面工程図である。

【図 9】本発明の半導体装置における NMOS トランジスタのゲート電極部分のボロンイオンの深さ方向の分布をシュミレーションした図である。

【図 10】本発明の半導体装置における NMOS トランジスタの閾値電圧の変動を示す特性図である。

【図 11】本発明の半導体装置における PMOS トランジスタのパンチスルー耐圧のゲート長依存性を示す特性図である。

【図 12】本発明の半導体装置における PMOS トランジスタの閾値電圧の基板バイアス電圧依存性を示す特性図である。

【図 13】本発明の半導体装置における NMOS 及び PMOS トランジスタの接合ダイオード特性を示す図である。

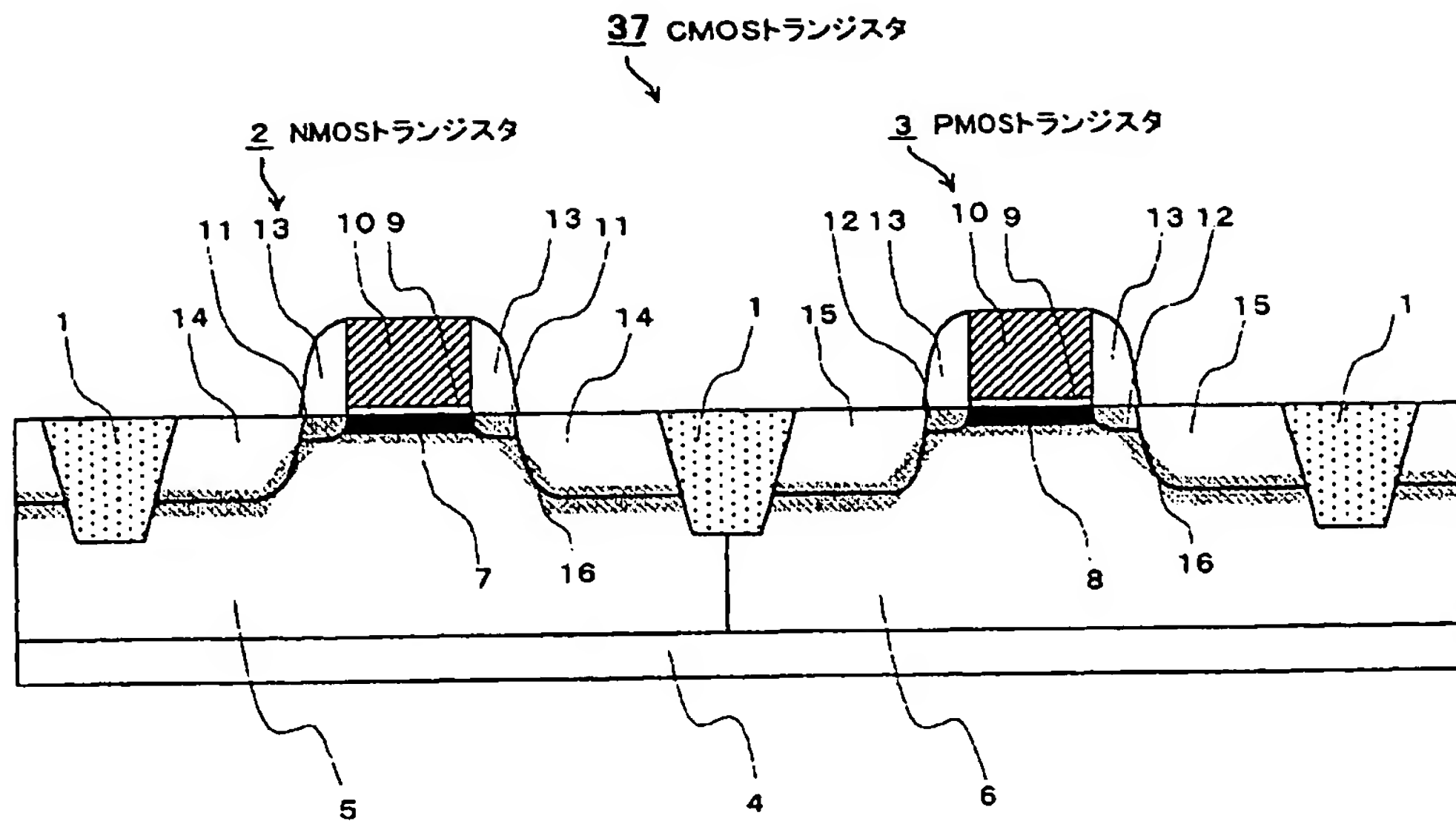
【図 14】従来の CMOS トランジスタの製造方法を説明するための CMOS トランジスタの概略断面図である。

【図 15】従来の CMOS トランジスタの構成を示す要部の概略断面図である。

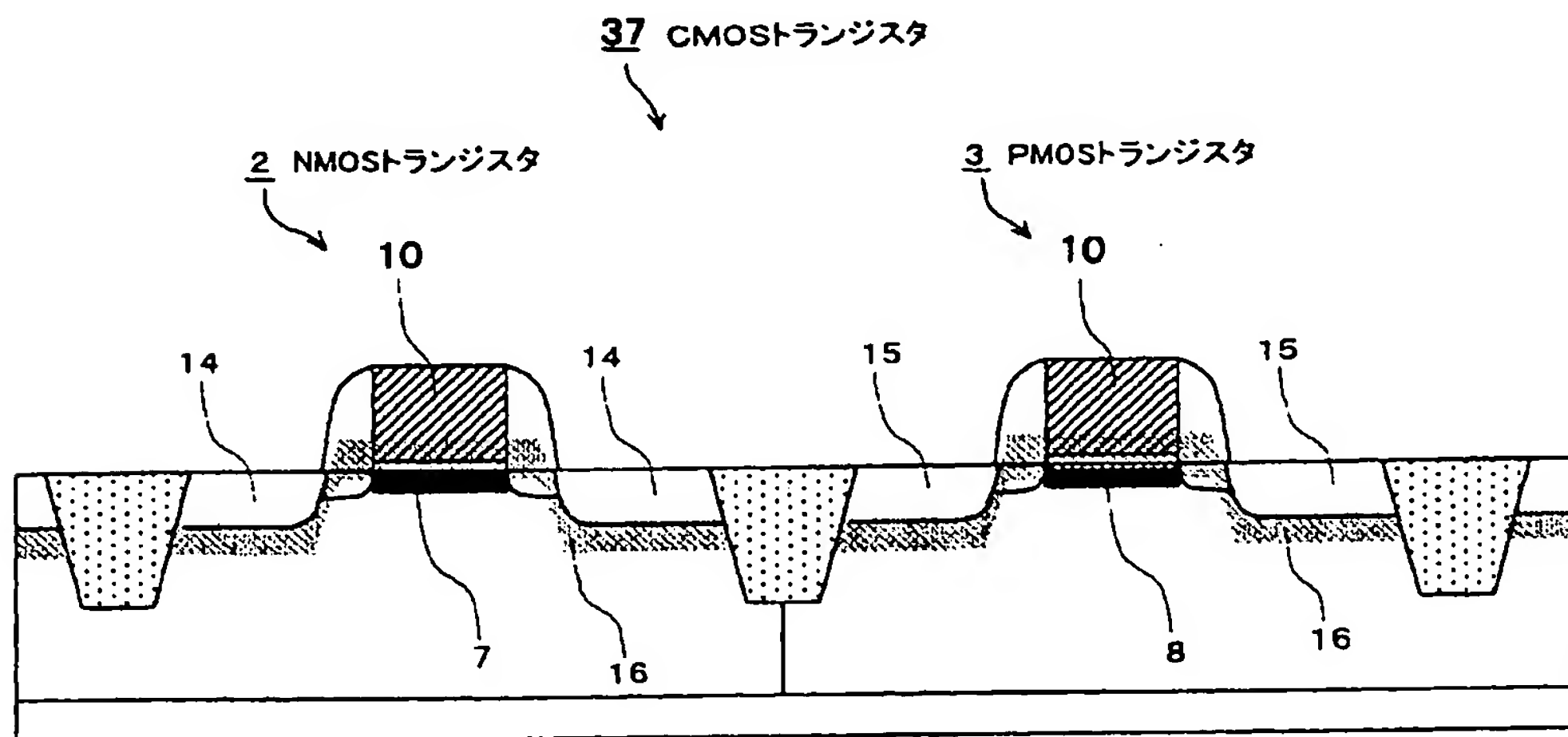
#### 【符号の説明】

- 1 素子分離絶縁膜
- 2 NMOS トランジスタ
- 3 PMOS トランジスタ
- 4 シリコン基板
- 5 p ウェル
- 6 n ウェル
- 7、8 チャネル領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11、12 LDD 領域
- 13 サイドウォールスペーサ
- 14、15 ソース／ドレイン領域
- 16 p 型高濃度不純物領域
- 17 NMOS トランジスタ形成領域
- 18 PMOS トランジスタ形成領域
- 19 シリコン酸化膜
- 20、21、23、24、25、26 レジストマスク
- 22 ポリシリコン膜
- 37 CMOS トランジスタ

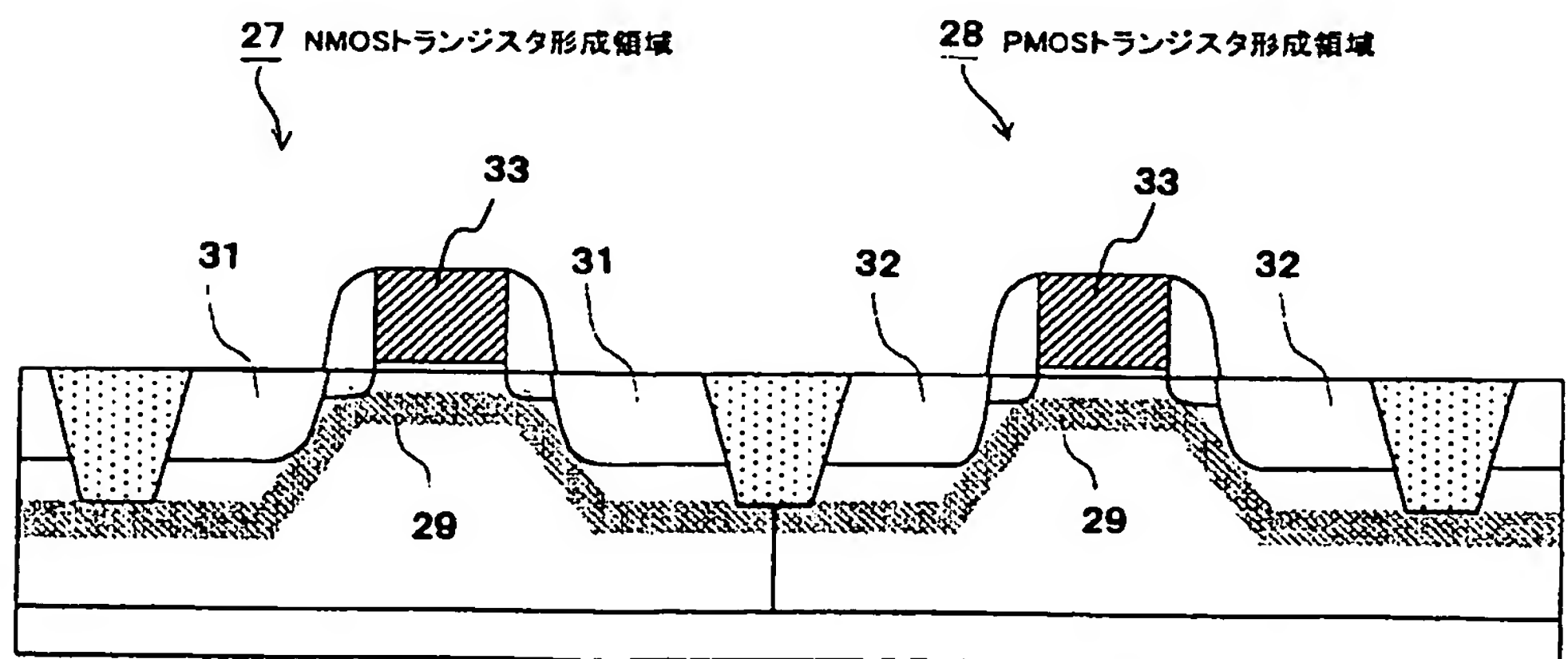
【図1】



【図2】

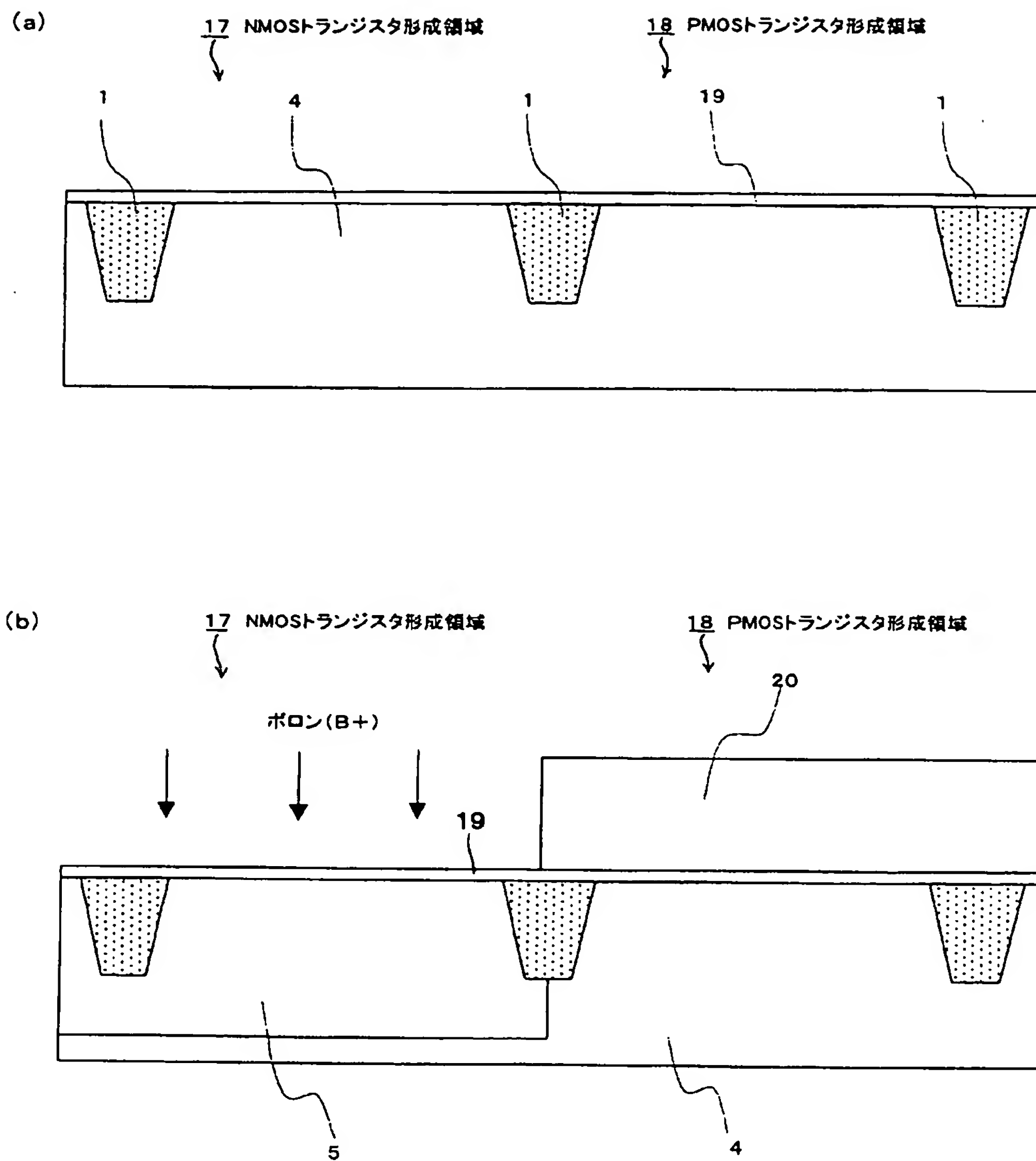


【図14】

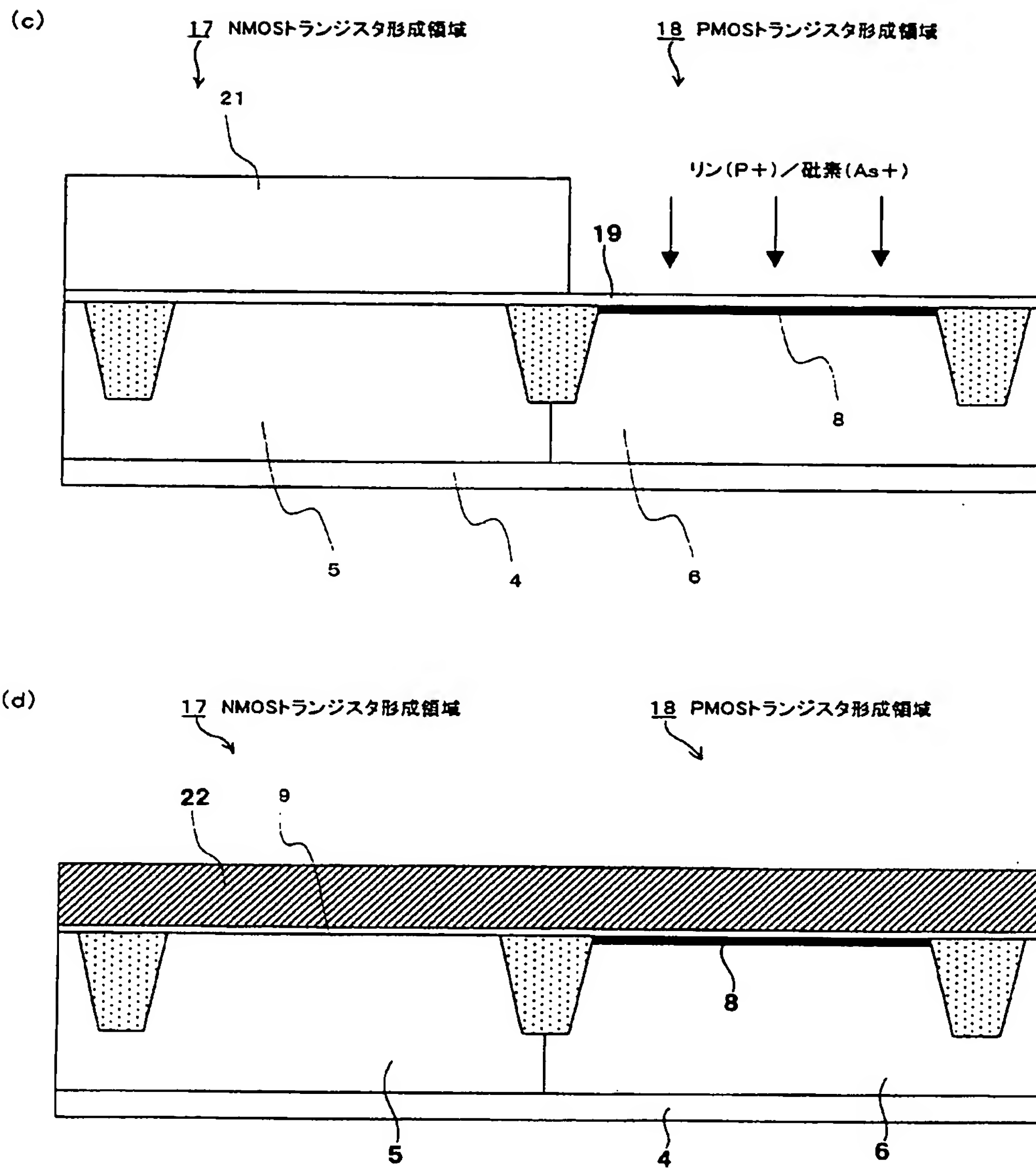




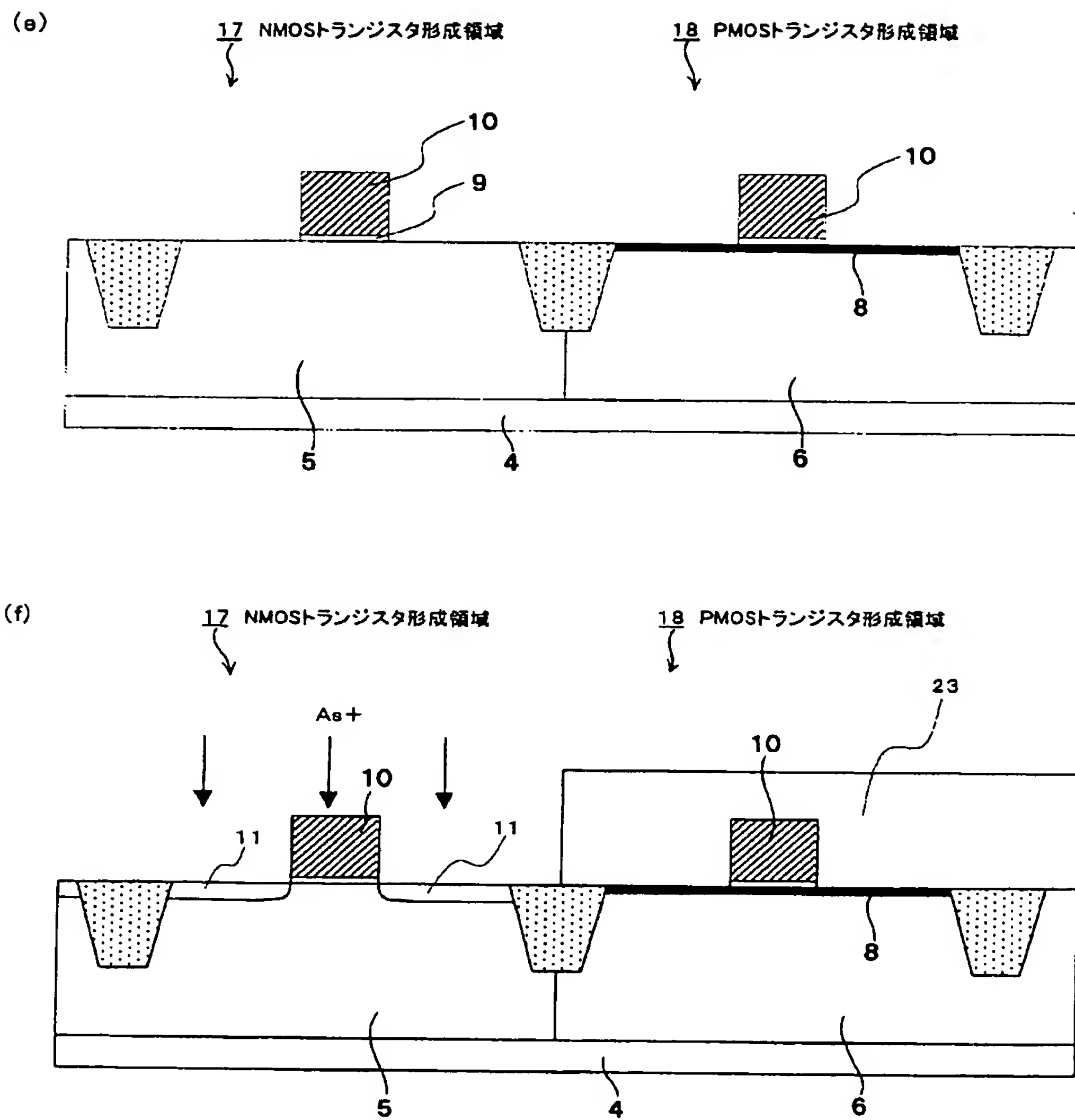
【図3】



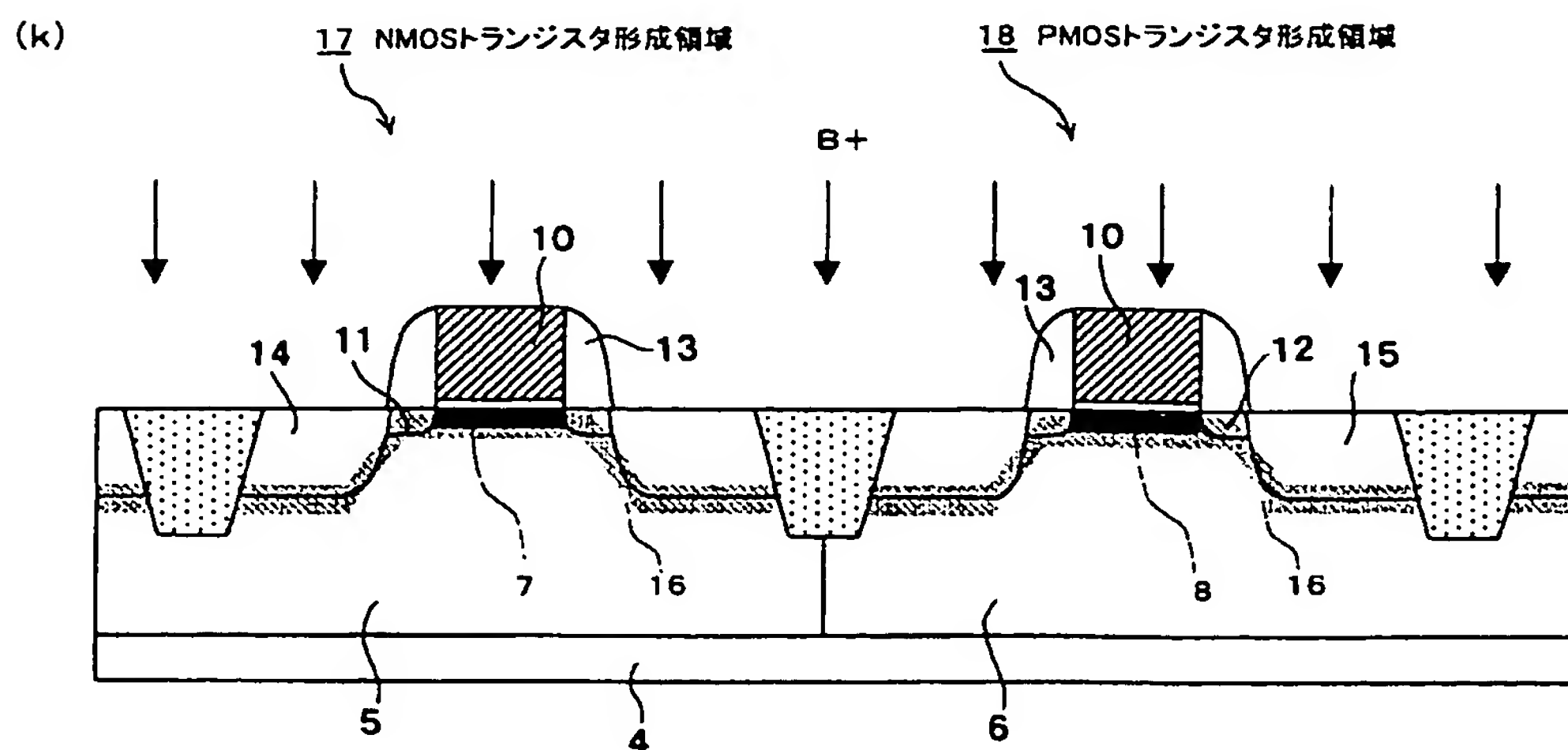
【図4】



【図5】

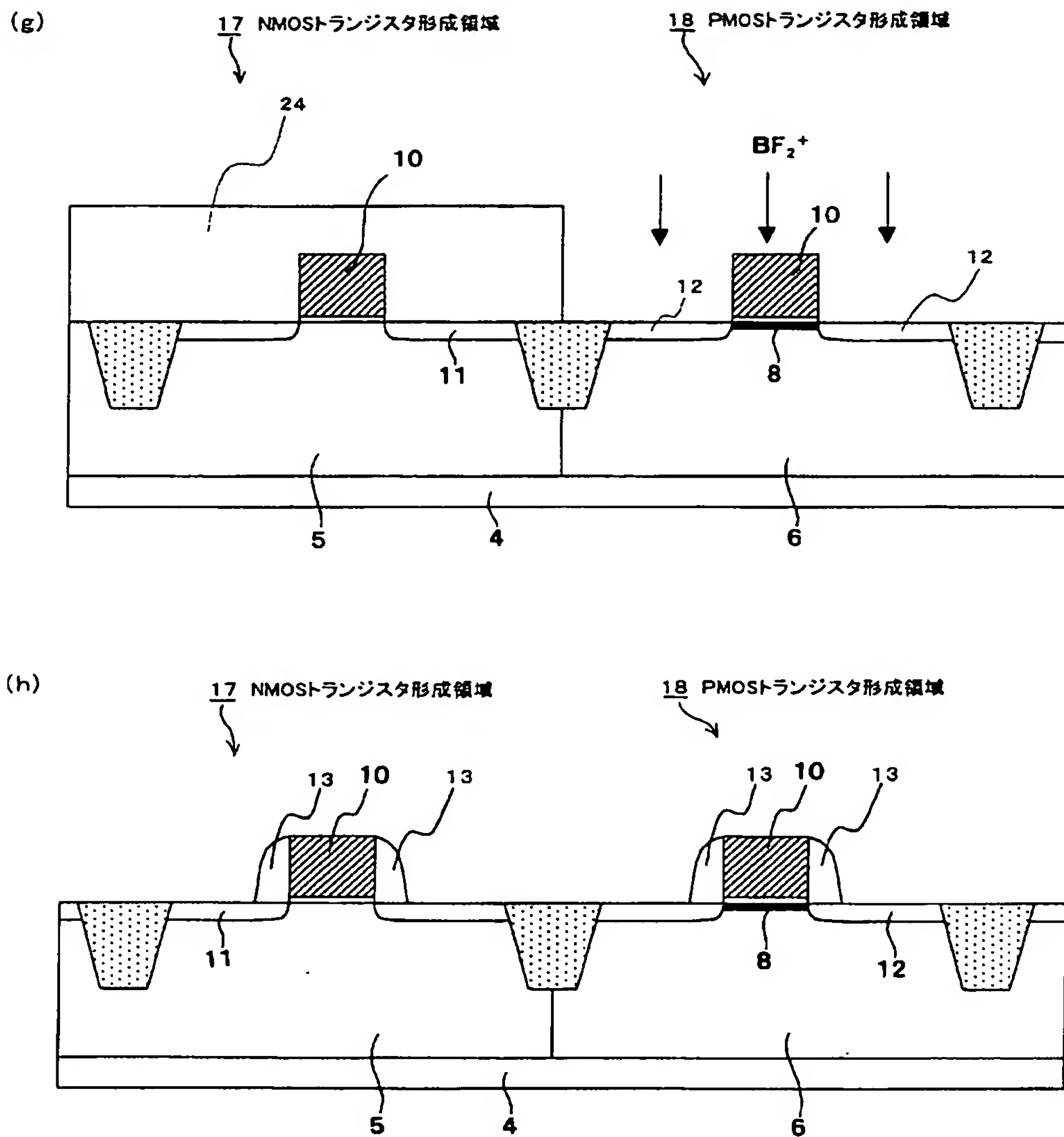


【図8】

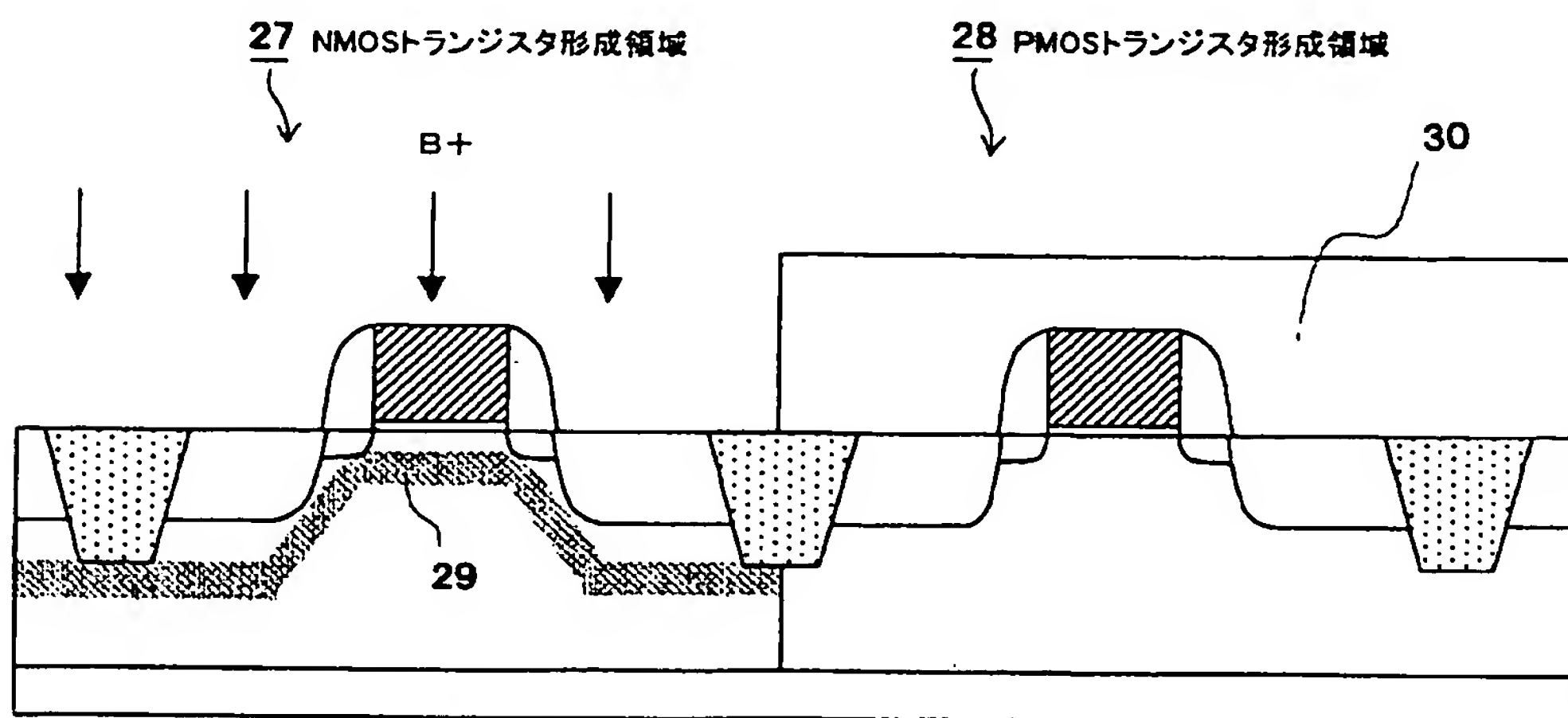




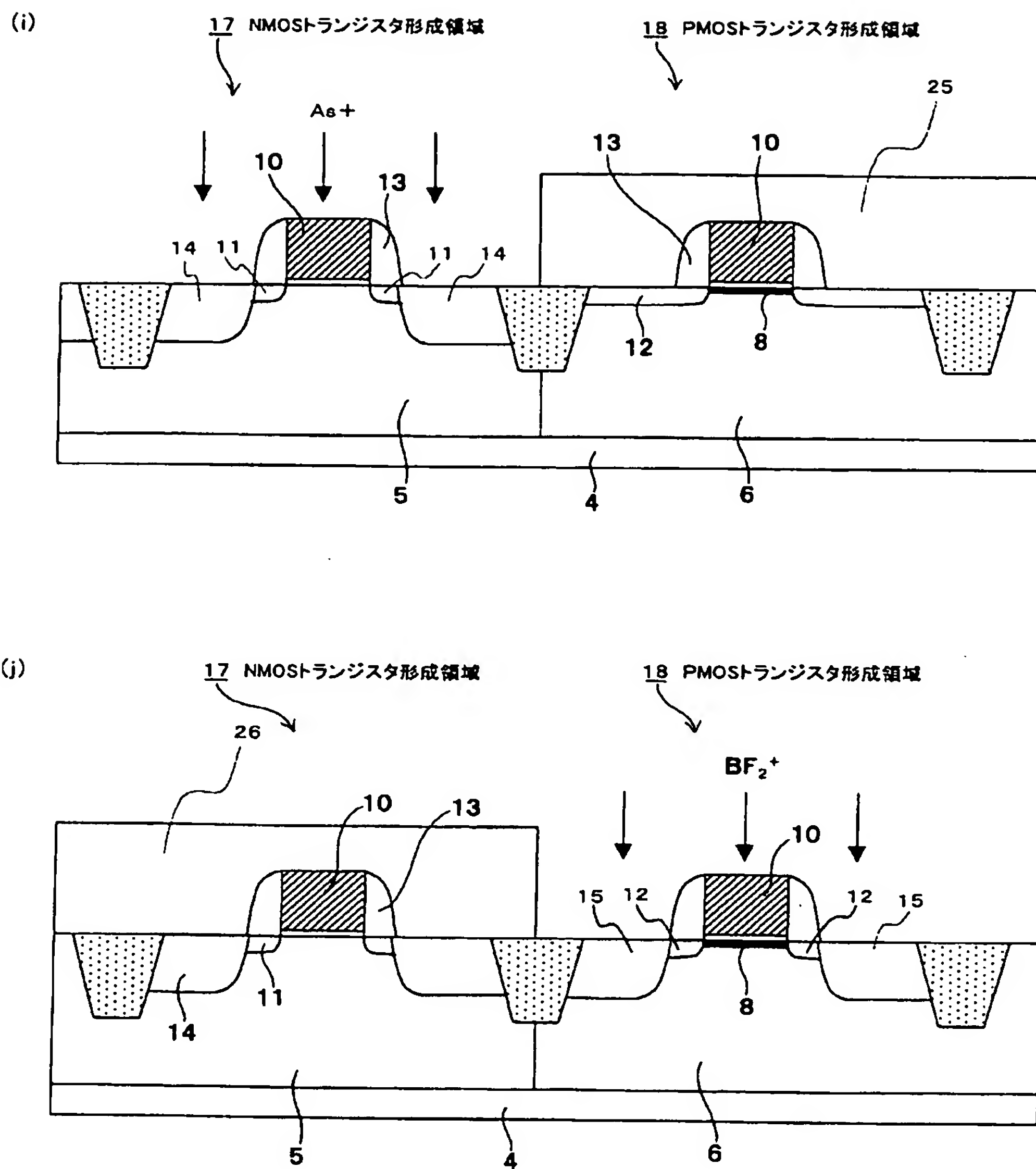
【図6】



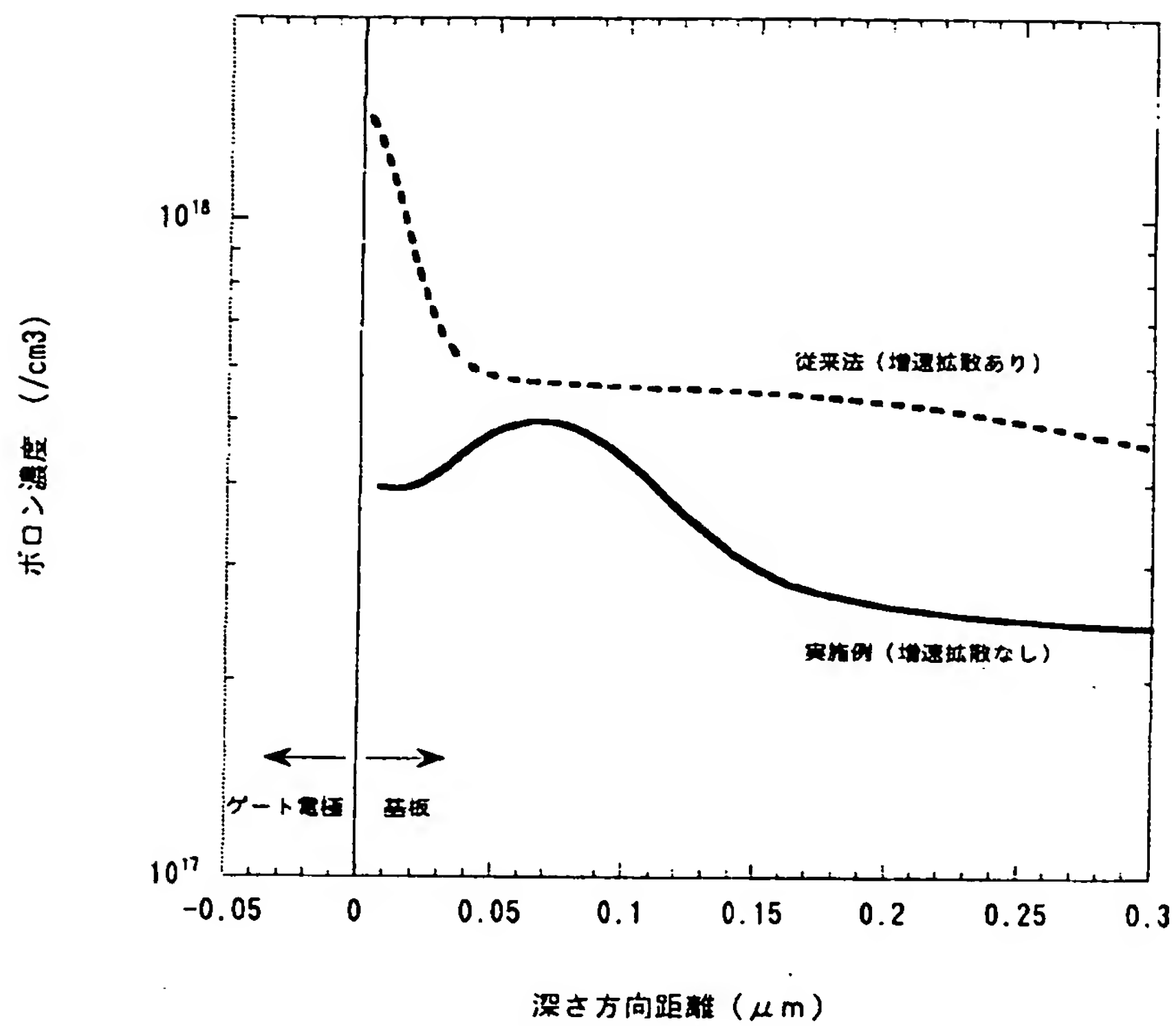
【図15】



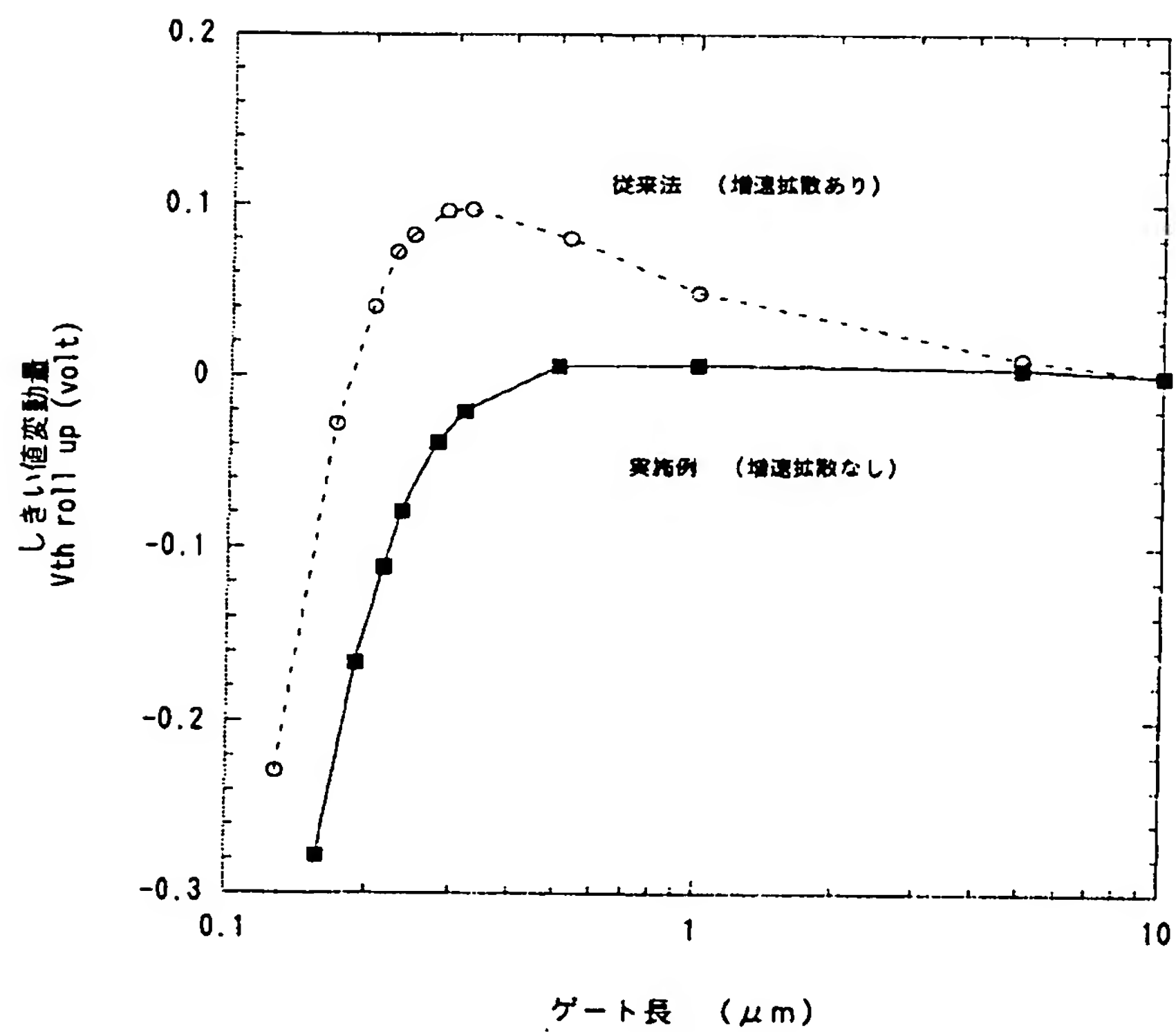
【図7】



【図9】

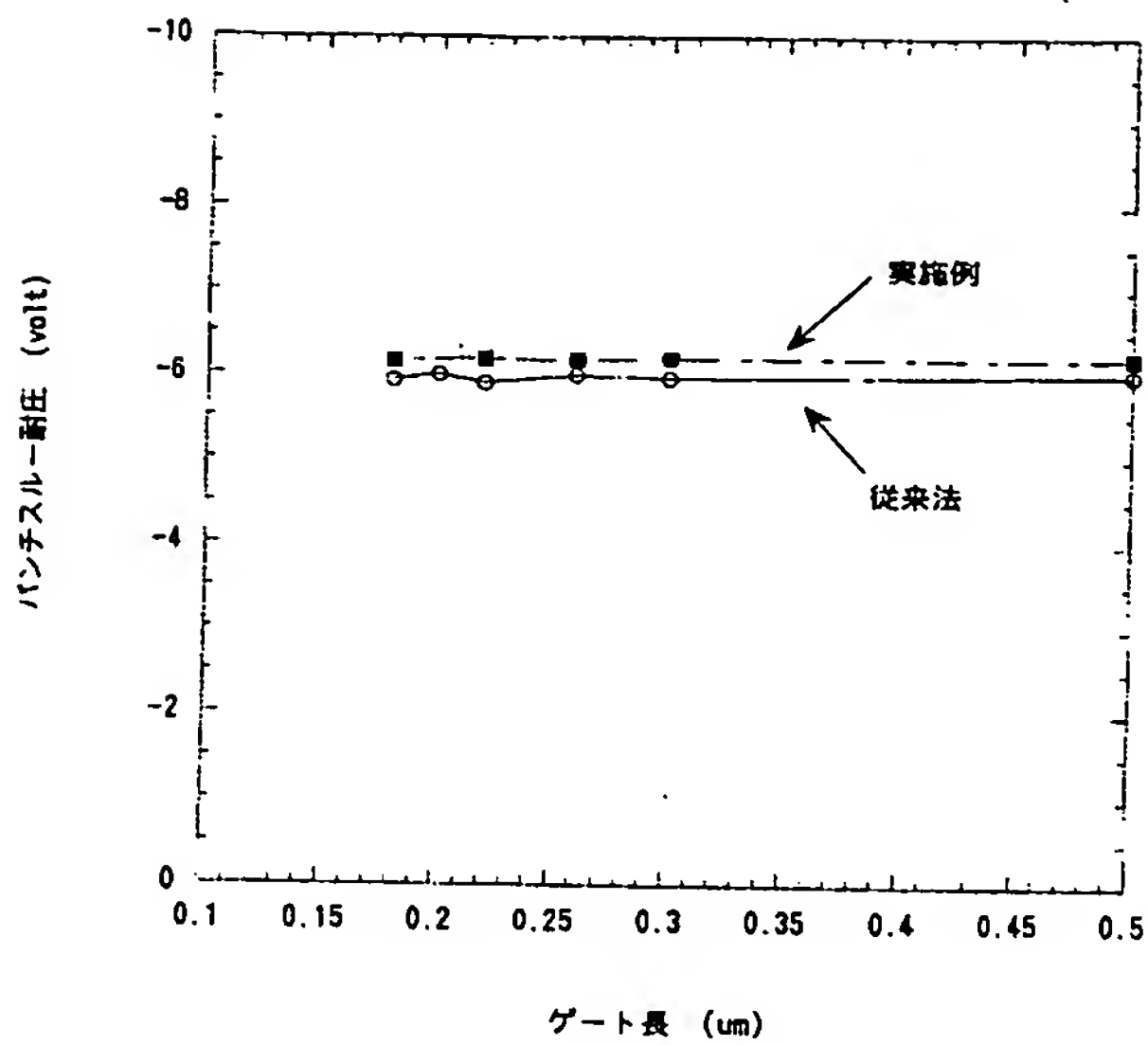


【図10】

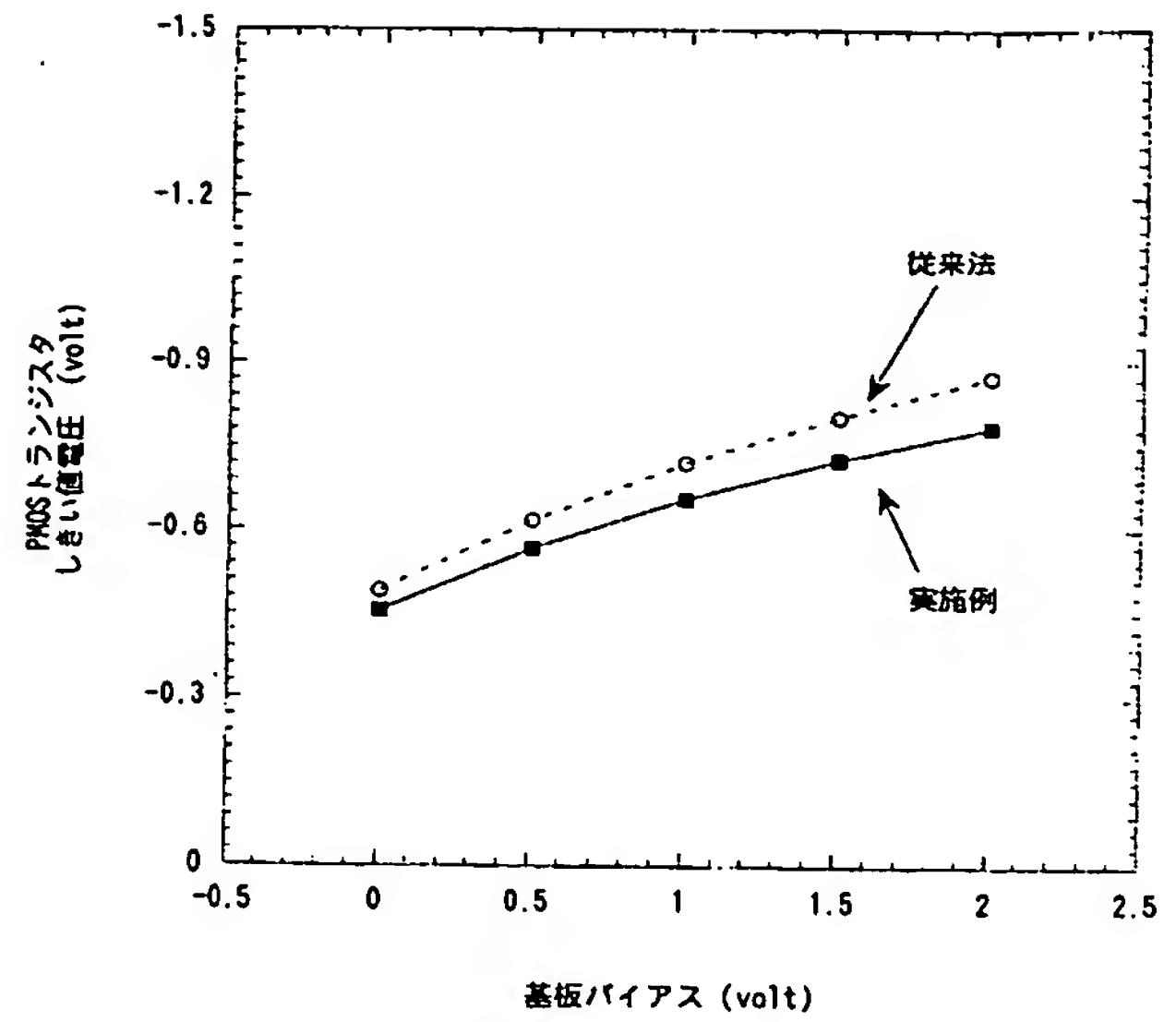




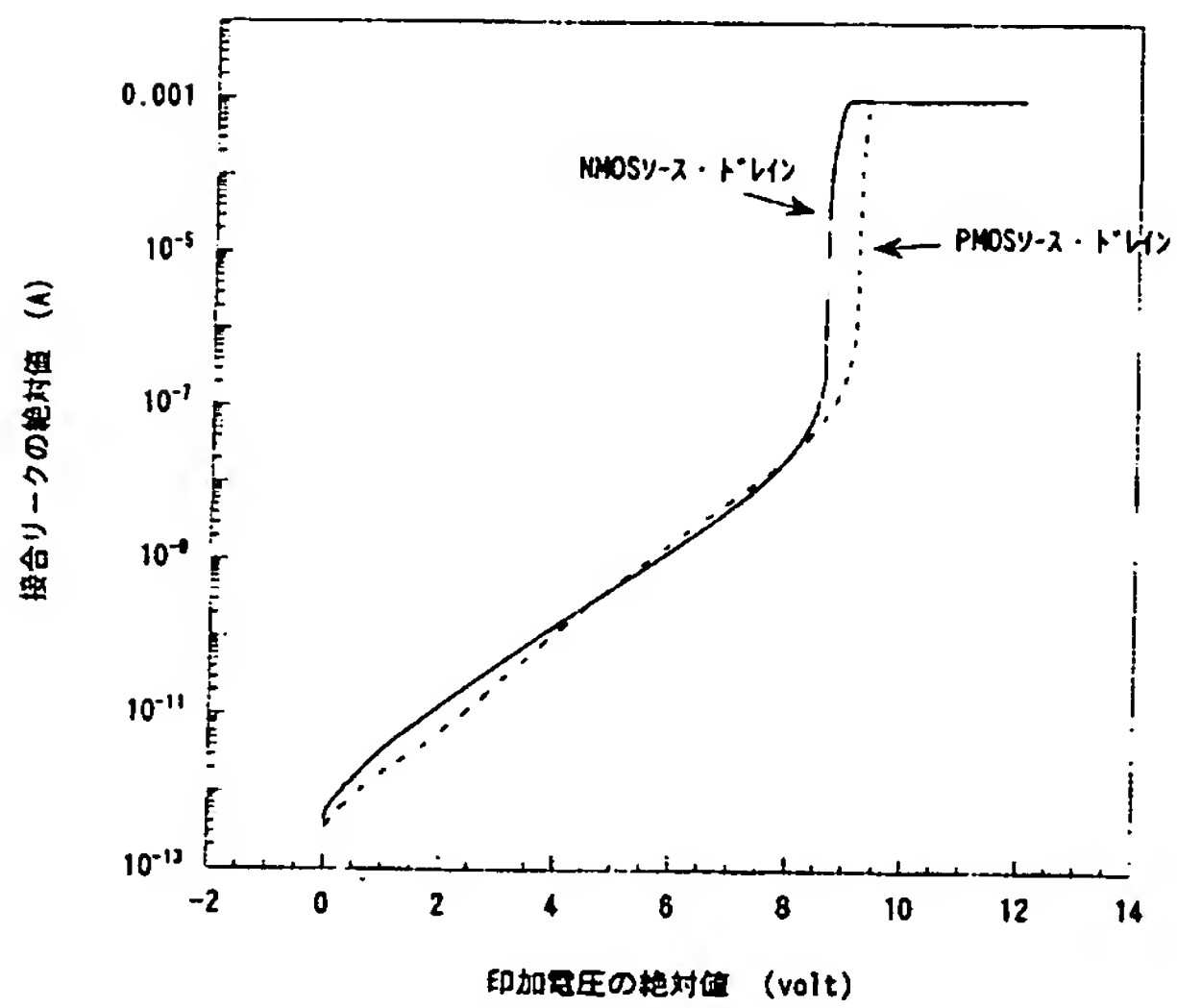
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 29/786

識別記号

F I

H01L 29/78

テーマコード\* (参考)

301X

613A

616A

F ターム(参考) 5F048 AA09 AC03 BA01 BA14 BA15  
BA16 BC06 BD04 BE03 BF04  
BF05 BG14 DA27  
5F110 AA08 AA16 AA30 BB04 CC02  
DD01 DD05 DD11 EE09 EE32  
GG02 GG03 GG12 GG32 GG34  
GG52 HJ01 HJ13 HJ23 HM15  
QQ08  
5F140 AA06 AA18 AA40 AB03 AC01  
AC36 BA01 BA03 BA07 BA09  
BB13 BC02 BC06 BC09 BC17  
BF01 BF04 BG08 BG14 BG53  
BH15 BH33 BH38 BK02 BK13  
BK21 BK22 CB08 CF09

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313950

(43)Date of publication of application : 25.10.2002

---

(51)Int.Cl. H01L 21/8238

H01L 21/336

H01L 27/08

H01L 27/092

H01L 29/78

H01L 29/786

---

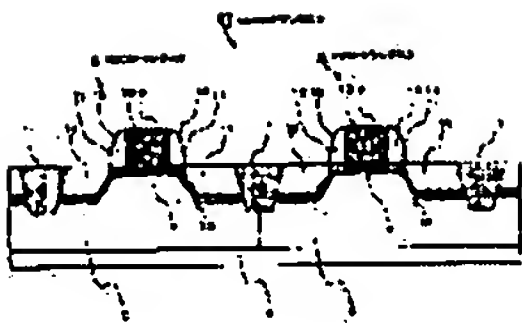
(21)Application number : 2001- (71)Applicant : SHARP CORP  
117231

(22)Date of filing : 16.04.2001 (72)Inventor : NAGAI KENICHI

---

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD





(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device that prevents the reverse short channel effect of an NMOS transistor without requiring any additional photolithography process, controls the threshold of a PMOS transistor to a desired value and, at the same time, prevents the deterioration of the punch-through withstand voltage of the PMOS transistor in a CMOS transistor.

**SOLUTION:** In this semiconductor device, NMOS and PMOS transistors having gate insulating films 9, gate electrodes 10, channel regions 7 and 8, and source and drains regions 14 and 15 are respectively formed on p-type and n-type wells 5 and 6 formed on the surface of a semiconductor substrate 4. Then strip p-type high-concentration impurity regions 16 having fixed widths in their depth directions are respectively arranged in the channel regions 7 and 8 of the transistors. In addition, an n-type impurity exists in the channel region 8 of the PMOS transistor at a concentration higher than that of a p-type impurity in the impurity region 16.

---

LEGAL STATUS

[Date of request for examination] 31.01.2003

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] On p well and n well which were formed in the semi-conductor substrate front face, respectively It is the CMOS transistor which the NMOS transistor and PMOS transistor which have gate dielectric film, a gate electrode, a channel field, and the source / drain field form and consist of. To the channel field of said NMOS and a PMOS transistor, band-like p mold high concentration impurity range where the width of face of the depth direction is fixed arranges. And the semiconductor device characterized by n mold impurity of the amount exceeding p mold high impurity concentration of said p mold high concentration

impurity range existing in the channel field of said PMOS transistor.

[Claim 2] The semiconductor device according to claim 1 with which it comes to arrange p mold high concentration impurity range to a field including the boundary of a field including the boundary of the source / drain field of an NMOS transistor, and p well and the source / drain field of a PMOS transistor, and n well, respectively.

[Claim 3] (a) To NMOS on a semi-conductor substrate, and a PMOS transistor formation field The process which forms p well and n well, gate dielectric film, and a gate electrode, respectively, (b) The ion implantation of n mold or the p mold impurity is carried out to said NMOS and a PMOS transistor formation field by using this gate electrode as a mask. Penetrate said gate electrode all over the process which heat-treats and forms the source / drain field, respectively, and the (c) aforementioned semi-conductor substrate, and the ion implantation of the p mold impurity is carried out. The manufacture approach of the semiconductor device characterized by heat-treating and including the process formed in the channel field directly under said gate electrode so that the part or all may arrange band-like p mold high concentration impurity range where the width of face of the depth direction is fixed.

[Claim 4] The approach according to claim 3 of setting up so that the impregnation peak depth in the ion implantation in a process (c) may consist of a lower half of a gate electrode directly under [ boundary ] the source / drain field, and a well when it comes to [ both ] within the limits in the upper half of the depth of the source / drain field.

[Claim 5] The direct front stirrup of n well formation of a process (a) is the approach according to claim 3 or 4 of introducing into a semi-conductor substrate front face n mold impurity of the amount exceeding p mold high impurity concentration introduced into p mold high concentration impurity range immediately after.

---

[Translation done.]



**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device by which threshold voltage was controlled by the detail good, and its manufacture approach more about a semiconductor device and its process approach.

[0002]

[Description of the Prior Art] From the former, the CMOS transistor which loaded together the NMOS transistor and the PMOS transistor on the same semiconductor substrate has realized LSI excellent in low-power nature.

[0003] However, the short channel effect to which threshold voltage falls poses a problem as the gate length of the transistor which constitutes a CMOS transistor becomes short by detailed-izing of a CMOS transistor in recent years, and high integration. Moreover, especially, it poses a problem that the reverse short channel effect that threshold voltage once rises occurs as with a circle [ of drawing 10 / white ] showed the NMOS transistor and channel length becomes short by introducing into a channel field the boron which is p mold impurity by the channel doping method.

[0004] Usually, in forming an NMOS transistor, in order to adjust threshold voltage to a channel field beforehand, boron ion is introduced as a p mold

impurity, and after that, a gate electrode etc. is formed, and it heat-treats in order to carry out the ion implantation of the about  $[1 \times 10^{14} \text{ to } 1 \times 10^{15} \text{ cm}^{-2}]$  two n mold impurity to a semi-conductor substrate and to activate an impurity further after that for a LDD field, or the source / drain field formation.

[0005] However, the remarkable diffusion which the boron ion which exists in a channel field when the crystal structure of a semi-conductor substrate was destroyed by the ion implantation for formation of a LDD field, the source / drain field, a lot of point defects were generated, such a point defect existed and it heat-treats makes a point defect and a pair, and is called the so-called enhanced diffusion takes place, and boron concentration becomes extremely high at the both ends of a channel field (pile up of boron ion).

[0006] Therefore, in an NMOS transistor, the boron concentration of a channel field tends to become high, and threshold voltage rises rapidly rather than the designed value, so that channel length is short (C.S.Rafferty et al."Explanation of Reverse Short Channel Effect by Defect Gradients", IEDM93, p311-314, reference).

[0007] If the reverse short channel effect in such an NMOS transistor becomes remarkable, by slight gate length's fluctuation, threshold voltage will be changed sharply and the controllability of threshold voltage will worsen.

[0008] Then, the process approach of the CMOS transistor which controlled the reverse short channel effect is proposed by JP,8-18047,A, JP,8-78682,A, etc.

[0009] According to these approaches, as shown in drawing 14, after performing the ion implantation and activation annealing of an impurity for the source / drain field 31, and 32 formation in NMOS and the PMOS transistor formation fields 27 and 28, in the NMOS transistor formation field 27, boron ion is introduced into a channel field with the impregnation energy which penetrates the gate electrode 33 (29 reference among drawing 14). The point defect produced at the time of the ion implantation for the source / drain field 31, and 32 formation can be reduced by this, and enhanced diffusion is prevented.

[0010] However, if impregnation of the boron ion to such a channel field is

performed to the both sides of NMOS and the PMOS transistor formation fields 27 and 28, it originates in the boron ion poured into the PMOS transistor formation field 28, and the threshold voltage of a PMOS transistor falls, not only punch-through pressure-proofing also falls further, but new junction will be formed in the bottom of the source / drain field 32, and the problem of it becoming impossible to keep substrate potential proper will arise.

[0011] In pouring boron ion only into the channel field of the NMOS transistor formation field 27 after covering the PMOS transistor formation field 28 with the resist mask 30 as shown in drawing 15 in order to avoid such a problem (29 reference among drawing 15 ), the problem that the photolithography process for covering the PMOS transistor formation field 28 increases arises.

[0012] This invention is made in view of the above-mentioned technical problem, without adding a photolithography process in a CMOS transistor, the enhanced diffusion of boron ion is prevented further, the reverse short channel effect of an NMOS transistor is controlled, while controlling the threshold of a PMOS transistor to a desired value simultaneously, degradation of punch-through pressure-proofing is prevented, and it aims at offering the semiconductor device which can maintain PMOS transistor characteristics proper, and its manufacture approach.

[0013]

[Means for Solving the Problem] According to this invention, on p well and n well which were formed in the semi-conductor substrate front face It is the CMOS transistor which the NMOS transistor and PMOS transistor which have gate dielectric film, a gate electrode, a channel field, and the source / drain field form and consist of, respectively. To the channel field of said NMOS and a PMOS transistor, band-like p mold high concentration impurity range where the width of face of the depth direction is fixed arranges. And the semiconductor device with which n mold impurity of the amount exceeding p mold high impurity concentration of said p mold high concentration impurity range exists in the channel field of said PMOS transistor is offered.

[0014] According to this invention, moreover, to NMOS on (a) semi-conductor substrate, and a PMOS transistor formation field The process which forms p well and n well, gate dielectric film, and a gate electrode, respectively, (b) The ion implantation of n mold or the p mold impurity is carried out to said NMOS and a PMOS transistor formation field by using this gate electrode as a mask.

Penetrate said gate electrode all over the process which heat-treats and forms the source / drain field, respectively, and the (c) aforementioned semi-conductor substrate, and the ion implantation of the p mold impurity is carried out. It heat-treats and the manufacture approach of a semiconductor device including the process formed in the channel field directly under said gate electrode so that the part or all may arrange band-like p mold high concentration impurity range where the width of face of the depth direction is fixed is offered.

[0015]

[Embodiment of the Invention] The semiconductor device of this invention is a CMOS transistor which an NMOS transistor and a PMOS transistor are formed, respectively on p well and n well which were formed in the semi-conductor substrate front face, and is constituted.

[0016] Various substrates, such as a substrate which consists of compound semiconductors, such as element semiconductor substrates, such as silicon and germanium, GaAs, and InGaAs, etc., a SOI substrate, or a multilayer SOI substrate, can be used for the semi-conductor substrate used for the semiconductor device of this invention. A silicon substrate is desirable especially. Moreover, component isolation region; insulator layers, such as semiconductor devices, such as a transistor and a capacitor, the circuit; wiring layer; LOCOS film and a trench component demarcation membrane, and STI (Shallow Trench Isolation) film, etc. may be combined, and the semi-conductor substrate may be formed in the front face.

[0017] p well and every at least one n well are formed in the semi-conductor substrate front face, its \*\* is good, and although especially the high impurity concentration of these wells is not limited, it is about  $[10^{17}-10^{18}\text{cm}^{-3}]$  three, for



example.

[0018] On p well and n well, the NMOS transistor and the PMOS transistor are formed, respectively. These transistors have gate dielectric film, the gate electrode, the channel field, and the source / drain field. If gate dielectric film here, a gate electrode, the source / drain field can constitute an NMOS transistor and a PMOS transistor which are usually used for a CMOS transistor, the ingredient, thickness, a configuration and magnitude, especially high impurity concentration, etc. will not be limited. For example, being formed of silicon oxide is appropriate for gate dielectric film, and, as for thickness, about 1-10nm is mentioned. Being formed of polysilicon is appropriate for a gate electrode, and, as for thickness, about 70-500nm is mentioned. As for the source / drain field, about  $[10^{18}-10^{20}\text{cm}^{-3}]$  three are mentioned for high impurity concentration. In addition, the sidewall spacer may be formed in the side attachment wall of a gate electrode of the insulator layer. Moreover, the source / drain field may equip the channel field side with the LDD field.

[0019] It arranges to band-like [ to which the field which p mold impurity contained in high concentration rather than p mold impurity in p well, i.e., p mold high concentration impurity range, has the width of face of the fixed depth direction also in any of NMOS and a PMOS transistor in a channel field ]. Here, with a channel field, not only the field reversed when a transistor usually turns on but the field of the range which can generally control threshold voltage by channel impregnation is included. For example, as for the width of face of a channel field, the range of about 30nm is mentioned from the semi-conductor substrate front face under gate dielectric film.

[0020] Although p mold high concentration impurity range changes with the property of CMOS which it is going to obtain, sizes, etc., it is desirable to arrange to the channel field by width of face of about at least 20nm. However, although the channel field may be overlapped in all the fields of the depth direction when full [ of the depth direction of p mold high concentration impurity range ] is more than this, a part of p mold high concentration impurity range may reach in gate

dielectric film or a gate electrode. About 50-100nm is suitable for full [ of the depth direction of p mold high concentration impurity range ]. The operating voltage of the NMOS transistor which it is going to obtain, a threshold, etc. can adjust suitably p mold high impurity concentration contained in p mold high concentration impurity range, for example, about [  $10^{17}$ - $10^{18}$ cm<sup>-3</sup> ] three are mentioned. Here, p mold high concentration impurity range means the width of face which contains about 50% of ion of a total injection rate focusing on the impregnation peak 1 of p mold impurity. For example, according to the Gaussian distribution function, 50% of all ion will exist within the limits of 0.675 times of single-sided  $\Delta R_p$  from a peak 1. Since  $\Delta R_p$  is changed with the impregnation energy of an impurity etc., in boron,  $\Delta R_p=40$ nm and width of face are 54nm at the time of 40keV, and  $\Delta R_p=60$ nm and width of face are 81nm at the time of 70keV, for example.

[0021] In addition, in the channel field of a PMOS transistor, though p mold high concentration impurity range arranges like the channel field of an NMOS transistor, n mold impurity contains in the amount exceeding p mold high impurity concentration, and the conductivity type of n mold is shown as a result. About [  $10^{17}$ - $10^{18}$ cm<sup>-3</sup> ] three are mentioned as concentration after n mold impurity here was offset with p mold impurity in p mold high concentration impurity range.

[0022] Moreover, p mold high concentration impurity range may be arranged, respectively to the field including the boundary of not only the channel field of NMOS and a PMOS transistor but the source / drain field, and a well. Moreover, when the LDD field is formed, you may arrange, respectively to the field in a LDD field which boils a part or includes the boundary of a LDD field and a well.

[0023] In the manufacture approach of the semiconductor device of this invention, p well and n well, gate dielectric film, and a gate electrode are first formed in NMOS on a semi-conductor substrate, and a PMOS transistor formation field in a process (a), respectively. p well and n well can form the resist mask which has opening on each field according to a well-known approach, for example, a photolithography, and an etching process, and can form it by carrying out the ion

implantation of the impurity of p mold or n mold using this resist mask, respectively. Moreover, gate dielectric film and a gate electrode can be formed by forming membranes by the well-known approach and carrying out patterning in the field concerned.

[0024] In addition, as for especially the rear stirrup that carried out the ion implantation of the n mold impurity for forming n well in a PMOS transistor formation field, it is desirable to introduce n mold impurity of the amount exceeding p mold high impurity concentration introduced into a semi-conductor substrate front face in p mold high concentration impurity range using the resist mask used in order to form n well before that. The high impurity concentration of the property of CMOS which it is going to obtain, operating voltage, size, and p mold high concentration impurity range etc. can adjust the ion implantation in this case suitably, for example, for example, the acceleration energy of about [ one to  $5 \times 10^{13} \text{cm}^{-2}$  ] two douse and 120keV extent is mentioned in arsenic ion.

[0025] Moreover, in forming a LDD field, after forming a gate electrode, it is desirable by using a gate electrode as a mask and carrying out the ion implantation of the impurity of p mold or n mold before a process (b), to form a sidewall spacer in the side attachment wall of a gate electrode by forming a LDD field, and forming and carrying out etchback of the insulator layer all over the semi-conductor substrate top containing a gate electrode after that. The ion implantation of LDD field formation can perform the acceleration energy of 5 - 20keV extent, about [  $1 \times 10^{14}$ - $10^{15} \text{cm}^{-2}$  ] two douse, or  $\text{BF}_2^+$  for example, for arsenic ion by the acceleration energy of 5 - 20keV extent, and about [  $1 \times 10^{14}$ - $10^{15} \text{cm}^{-2}$  ] two douse.

[0026] Subsequently, in a process (b), it heat-treats to NMOS and a PMOS transistor formation field by carrying out the ion implantation of n mold or the p mold impurity by using a gate electrode (or a gate electrode and a sidewall spacer) as a mask, and the source / drain field is formed in them, respectively. Especially the conditions of an ion implantation here are not limited and the acceleration energy of 10 - 50keV extent and about [  $5 \times 10^{14}$  to  $5 \times 10^{15} \text{cm}^{-2}$  ] two

dose are mentioned [ ion / arsenic ] in the acceleration energy of 30 - 50keV extent, about [  $5 \times 10^{14}$  to  $5 \times 10^{15} \text{cm}^{-2}$  ] two dose, or  $\text{BF}_2^+$ . heat treatment -- lamp annealing, furnace annealing, and RTA -- it can carry out by various approaches, such as law. For example, an about 1000-1100-degree C temperature requirement and a 5 - 20-second about room are mentioned by lamp annealing.

[0027] In a process (c), it heat-treats by penetrating a gate electrode all over a semi-conductor substrate, and carrying out the ion implantation of the p mold impurity, and it forms in the channel field directly under a gate electrode so that the part or all may arrange band-like p mold high concentration impurity range where the width of face of the depth direction is fixed. An ion implantation here The thickness of a gate electrode, the depth of the source / drain field, An ion kind etc. can adjust suitably. For example, the impregnation peak depth of an ion implantation It can set up so that it may become within the limits in the upper half of the depth of the source / drain field from the lower half of a gate electrode. It is desirable to set up so that it may become near the boundary of gate dielectric film and a channel field front face. Furthermore, it is desirable to set up so that it may become near the boundary of the source / drain field, and a well, and it is more desirable to set up so that it may become directly under [ boundary ] the source / drain field, and a well. Specifically, carrying out the ion implantation of boron ion or  $\text{BF}_2^+$  by the acceleration energy of 50 - 90keV extent and about [  $1 \times 10^{12}$ - $10^{13} \text{cm}^{-2}$  ] two dose is mentioned. Moreover, in consideration of the thickness of the above-mentioned gate dielectric film and a gate electrode, the high impurity concentration of the source / drain field, etc., the impregnation peak depth of an ion implantation can set it as about 100-300nm from another viewpoint. Moreover, heat treatment can be performed by the same approach as the above. By performing such an ion implantation and heat treatment, p mold high concentration impurity range can arrange the part or all to a channel field eventually.

[0028] By the manufacture approach of the semiconductor device of this

invention, the semiconductor device of this invention can be further completed after the process of a up Norikazu ream by combining the process in semiconductor processes, such as washing of formation of an interlayer insulation film, formation of a contact hole, formation of a wiring layer, a semi-conductor substrate front face, or the obtained semi-conductor substrate front face, with arbitration.

[0029] The semiconductor device and its manufacture approach of this invention are explained in detail based on a drawing below.

[0030] The CMOS transistor 37 which is a semiconductor device in the gestalt of this operation consists of the NMOS transistors 2 and the PMOS transistors 3 which were formed on the silicon substrate 4 which has the isolation insulator layer 1, as shown in drawing 1 .

[0031] The gate electrode 10 is formed through gate dielectric film 9 on the p well 5 by which the NMOS transistor 2 was formed in silicon substrate 4 front face, and the sidewall spacer 13 is formed in the side attachment wall of the gate electrode 10. Moreover, the channel field 7 is adjoined, the LDD field 11 is formed directly under sidewall spacer 13, the LDD field 11 is adjoined and the source / drain field 14 is formed. Moreover, it has fixed width of face (for example, about 80nm) in the depth direction, and band-like p mold high concentration impurity range 16 containing about  $[10^{17}-10^{18}\text{cm}^{-3}]$  three boron ion is formed in the channel field 7.

[0032] In addition, as shown in drawing 2 , as long as the part arranges p mold high concentration impurity range 16 to the channel field 7, it may be arranged in gate dielectric film 9 or the gate electrode 10.

[0033] Moreover, the threshold voltage of the NMOS transistor 2 is controllable by adjusting the high impurity concentration of p mold high concentration impurity range 16.

[0034] Gate dielectric film 9, the gate electrode 10, and the sidewall spacer 13 are formed like the NMOS transistor 2 on the n well 6 formed in silicon substrate 4 front face, the PMOS transistor 3 adjoins it to the channel field 8, and the LDD



field 12, and the source / drain field 15 are formed. Moreover, p mold high concentration impurity range 16 is formed in the channel field 8 like the NMOS transistor 2.

[0035] In addition, since the channel field 8 of the PMOS transistor 3 is introduced by the concentration whose arsenic ion is about  $[10^{17}-10^{18}\text{cm}^{-3}]$  three, the conductivity type of p mold high concentration impurity 16 is offset. Moreover, in the source / drain field 15 of the PMOS transistor 3, since it is located directly under the source / drain field 15, and punch-through proof-pressure degradation of the PMOS transistor 3 is prevented and new junction is not formed in the bottom of the source / drain field 15, p mold high concentration impurity range 16 can keep substrate potential proper.

[0036] Such a semiconductor device can be formed by the following approaches.

[0037] First, as shown in drawing 3 (a), the isolation insulator layer 1 is formed in the p type silicon substrate 4, and it separates into the NMOS transistor formation field 17 and the PMOS transistor formation field 18. Subsequently, silicon oxide 19 is formed as an impregnation protective coat all over silicon substrate 4.

[0038] Then, as shown in drawing 3 (b), the resist mask 20 which covers the PMOS transistor formation field 18 is formed, boron ion is poured into the NMOS transistor formation field 17 as a p mold impurity, and the p well 5 is formed in it.

[0039] Similarly, as shown in drawing 4 (c), phosphorus ion is poured into the PMOS transistor formation field 18 as an n mold impurity, and the n well 6 is formed.

[0040] Subsequently, arsenic ion is poured in by about  $[10^{13}\text{cm}^{-3}]$  two dose, and the channel field 8 is formed.

[0041] Then, after carrying out wet etching of the silicon oxide 19, as shown in drawing 4 (d), gate dielectric film 9 of about 3.4nm of thickness and the polish recon film 22 of about 150nm of thickness are formed all over silicon substrate 4.

[0042] Subsequently, as shown in drawing 5 (e), patterning of gate dielectric film 9 and the polish recon film 22 is carried out, and the gate electrode 10 is formed.

[0043] Then, as shown in drawing 5 (f), the resist mask 23 which covers the PMOS transistor formation field 18 is formed, arsenic ion is poured into the NMOS transistor formation field 17 by the acceleration energy of 10keV, and  $5 \times 10^{14} \text{cm}^{-2}$  as an n mold impurity, and the LDD field 11 is formed in silicon substrate 4 front face.

[0044] Then, as shown in drawing 6 (g), the resist mask 24 which covers the NMOS transistor formation field 17 is formed,  $\text{BF}_2^+$  is poured into the PMOS transistor formation field 18 by the acceleration energy of 10keV, and  $1.2 \times 10^{14} \text{cm}^{-2}$  as a p mold impurity, and the LDD field 12 is formed in silicon substrate 4 front face.

[0045] Subsequently, by forming and carrying out etchback of the silicon nitride all over silicon substrate 4, as shown in drawing 6 (h), the sidewall spacer 13 is formed in the side attachment wall of the gate electrode 10.

[0046] Then, as shown in drawing 7 (i), the resist mask 25 which covers the PMOS transistor formation field 18 is formed, arsenic ion is poured into the NMOS transistor formation field 17 by the acceleration energy of 50keV, and dose of  $3 \times 10^{15} \text{cm}^{-2}$  as an n mold impurity, and the source / drain field 14 is formed in silicon substrate 4 front face.

[0047] Similarly, as shown in drawing 7 (j), the resist mask 26 which covers the NMOS transistor formation field 17 is formed,  $\text{BF}_2^+$  is poured into the PMOS transistor formation field 18 by the acceleration energy of 30keV, and  $2 \times 10^{15} \text{cm}^{-2}$  as a p mold impurity, and the source / drain field 15 is formed in silicon substrate 4 front face. In addition, in this phase, the source / drain fields 14 and 15 are still inactive electrically, and many point defects exist around it.

[0048] Next, lamp heating for 10 seconds performs activation annealing, for example at 1050 degrees C. Thereby, a point defect is extinguished while the source / drain fields 14 and 15 are activated.

[0049] Then, as shown in drawing 8 (k), a gate electrode is made to penetrate boron ion by the acceleration energy of 70keV, and about  $[10^{12} - 10^{13} \text{cm}^{-2}]$  two dose, an ion implantation is carried out to a silicon substrate 4 all front face, and

p mold high concentration impurity range 16 is formed. At this time, the peak depth of the ion implantation in the field in which the gate electrode 10 was formed is set up so that it may come within the limits of the one half of the depth of the source / drain fields 14 and 15 from gate electrode 10 lower part, and it is set up so that all or some of the depth direction of p mold high concentration impurity range 16 may arrange in the channel field 7 and 8. In addition, the peak depth of the ion implantation in the source / drain fields 14 and 15 is set up so that it may come the source / drain field 14, and directly under 15. That is, the peak depth of an ion implantation is adjusted according to the thickness of a gate electrode, and the depth of the source / drain field.

[0050] Then, like the above, activation annealing is performed again and p mold high concentration impurity range 16 is activated. Since the point defect is already extinguished by the 1st heat treatment at this time, the enhanced diffusion of boron ion does not happen.

[0051] With the NMOS transistor in the CMOS transistor created by the manufacture approach of the above semiconductor devices, as shown in drawing 9 , rapid lifting of the boron concentration on a front face of a substrate which is seen with a conventional method is not seen, but distribution of the boron ion of the depth direction in the field in which the gate electrode 10 was formed shows that enhanced diffusion has not occurred.

[0052] Moreover, the amount of threshold voltage variation of such an NMOS transistor (degree of the reverse channel effect) is shown in drawing 10 . In such an NMOS transistor, since enhanced diffusion has not occurred, even when channel length is short, it turns out like a conventional method that threshold lifting is not seen but the reverse short channel effect is fully controlled.

[0053] Furthermore, the gate dependency of the punch-through pressure-proofing in the PMOS transistor in the CMOS transistor created by the manufacture approach of the above semiconductor devices is shown in drawing 11 . In addition, gate voltage is defined as punch-through pressure-proofing here on a drain electrical potential difference in case the drain current  $I_d$  of 1microA

flows by 0V ( $V_{gs}=V_{bs}=V_s=0V$ ). In this example, 1.8V are used as supply voltage.

[0054] According to drawing 11 , with such a PMOS transistor, even if it compares with a conventional method, pressure-proof degradation is not seen.

[0055] Moreover, such a substrate bias voltage dependency of the threshold voltage of a PMOS transistor is shown in drawing 12 . It was defined as the substrate bias voltage dependency here in the amount of fluctuation of the triode threshold voltage when fluctuating a substrate electrical potential difference,  $V_{ds}=0.05V$ ,  $V_s=0V$ , and  $V_{bs}$  were fluctuated, and threshold voltage was read by extrapolation of the tangent of the  $V_g$ - $I_d$  curve at the time of  $G_{mMax}$ .

[0056] According to drawing 12 , with such a PMOS transistor, even if it compares with a conventional method, a difference is not seen.

[0057] NMOS in the CMOS transistor created by the manufacture approach of the above semiconductor devices and the junction diode property in a PMOS transistor are shown in drawing 13 . A junction diode property here is an I-V property at the time of impressing a reverse bias in a PN junction, and the upper limit is prepared in the upper limit and the intrinsic breakdown voltage of the amount of currents (the amount of leakage currents) at the time of operating voltage (1.8V). The reverse bias of 0-10V was impressed to substrate potential  $V_{bs}=0V$  to immobilization, and the source / drain field, and the I-V curve was obtained.

[0058] According to drawing 13 , proper pressure-proofing is obtained also in which transistor. Even if it pierces through a gate electrode and pours in the boron ion for threshold control of an NMOS transistor completely like a conventional method, without carrying out the mask of the PMOS transistor field, a proper property can be acquired with a PMOS transistor by adjusting the impregnation peak depth.

[0059]

[Effect of the Invention] According to this invention, to the channel field of NMOS and a PMOS transistor Since n mold impurity of the amount which band-like p mold high concentration impurity range where the width of face of the depth

direction is fixed, and exceeds p mold high impurity concentration of said p mold high concentration impurity range to the channel field of said PMOS transistor exists, While being able to prevent the shift of the threshold by the reverse short channel effect of an NMOS transistor, minimizing a photolithography process, in a PMOS transistor, good punch-through pressure-proofing is maintainable.

[0060] Moreover, it becomes possible to control well potential appropriately, without forming new junction in it under the source / drain field in a PMOS transistor, especially when p mold high concentration impurity range arranges to a field including the boundary of a field including the boundary of the source / drain field of an NMOS transistor, and p well and the source / drain field of a PMOS transistor, and n well, respectively.

[0061] Furthermore, since according to this invention heat treatment for activation is performed and it heat-treats by penetrate a gate electrode all over a semiconductor substrate top, and carry out the ion implantation of the p mold impurity after that after carry out the ion implantation for the source / drain field formation, the shift of the threshold by the reverse short channel effect by the enhanced diffusion in an NMOS transistor can be effectively prevented by the simple approach, without adding a photolithography process. Therefore, the cutback of a manufacturing cost and degradation of the property of a CMOS transistor can be prevented, and improvement in the yield can be realized.

[0062] When it comes to within the limits in the upper half of the depth of the source / drain field, the impregnation peak depth in the ion implantation in a process (c) from the lower half of a gate electrode especially both in setting up so that it may become directly under [ boundary ] the source / drain field, and a well in a PMOS transistor, formation of a new PN junction is avoidable, and while becoming possible to control well potential appropriately easily, degradation of punch-through pressure-proofing is avoidable.

[0063] Moreover, immediately after, when introducing n mold impurity of the amount which exceeds p mold high impurity concentration introduced into p mold



high concentration impurity range on a semi-conductor substrate front face, the direct front stirrup of n well formation of a process (a) can offset high-concentration p mold impurity certainly, and becomes possible [ controlling the threshold voltage of a PMOS transistor easily ].

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline sectional view of the important section of the semiconductor device of this invention.

[Drawing 2] It is the outline sectional view of the important section of another semiconductor device of this invention.

[Drawing 3] It is outline cross-section process drawing of the important section for explaining the manufacture approach of the semiconductor device of this invention.

[Drawing 4] It is outline cross-section process drawing of the important section for explaining the manufacture approach of the semiconductor device of this invention.

[Drawing 5] It is outline cross-section process drawing of the important section for



explaining the manufacture approach of the semiconductor device of this invention.

[Drawing 6] It is outline cross-section process drawing of the important section for explaining the manufacture approach of the semiconductor device of this invention.

[Drawing 7] It is outline cross-section process drawing of the important section for explaining the manufacture approach of the semiconductor device of this invention.

[Drawing 8] It is outline cross-section process drawing of the important section for explaining the manufacture approach of the semiconductor device of this invention.

[Drawing 9] It is drawing which carried out the simulation of the distribution of the depth direction of the boron ion of the gate electrode section of the NMOS transistor in the semiconductor device of this invention.

[Drawing 10] It is property drawing showing fluctuation of the threshold voltage of the NMOS transistor in the semiconductor device of this invention.

[Drawing 11] It is property drawing showing the gate length dependency of punch-through pressure-proofing of the PMOS transistor in the semiconductor device of this invention.

[Drawing 12] It is property drawing showing the substrate bias voltage dependency of the threshold voltage of the PMOS transistor in the semiconductor device of this invention.

[Drawing 13] It is drawing showing the junction diode property of NMOS in the semiconductor device of this invention, and a PMOS transistor.

[Drawing 14] It is the outline sectional view of the CMOS transistor for explaining the manufacture approach of the conventional CMOS transistor.

[Drawing 15] It is the outline sectional view of an important section showing the configuration of the conventional CMOS transistor.

[Description of Notations]

1 Isolation Insulator Layer

2 NMOS Transistor  
3 PMOS Transistor  
4 Silicon Substrate  
5 P Well  
6 N Well  
7 Eight Channel field  
9 Gate Dielectric Film  
10 Gate Electrode  
11 12 LDD field  
13 Sidewall Spacer  
14 15 The source / drain field  
16 P Mold High Concentration Impurity Range  
17 NMOS Transistor Formation Field  
18 PMOS Transistor Formation Field  
19 Silicon Oxide  
20, 21, 23, 24, 25, 26 Resist mask  
22 Polish Recon Film  
37 CMOS Transistor

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

**1.This document has been translated by computer. So the translation may not  
reflect the original precisely.**

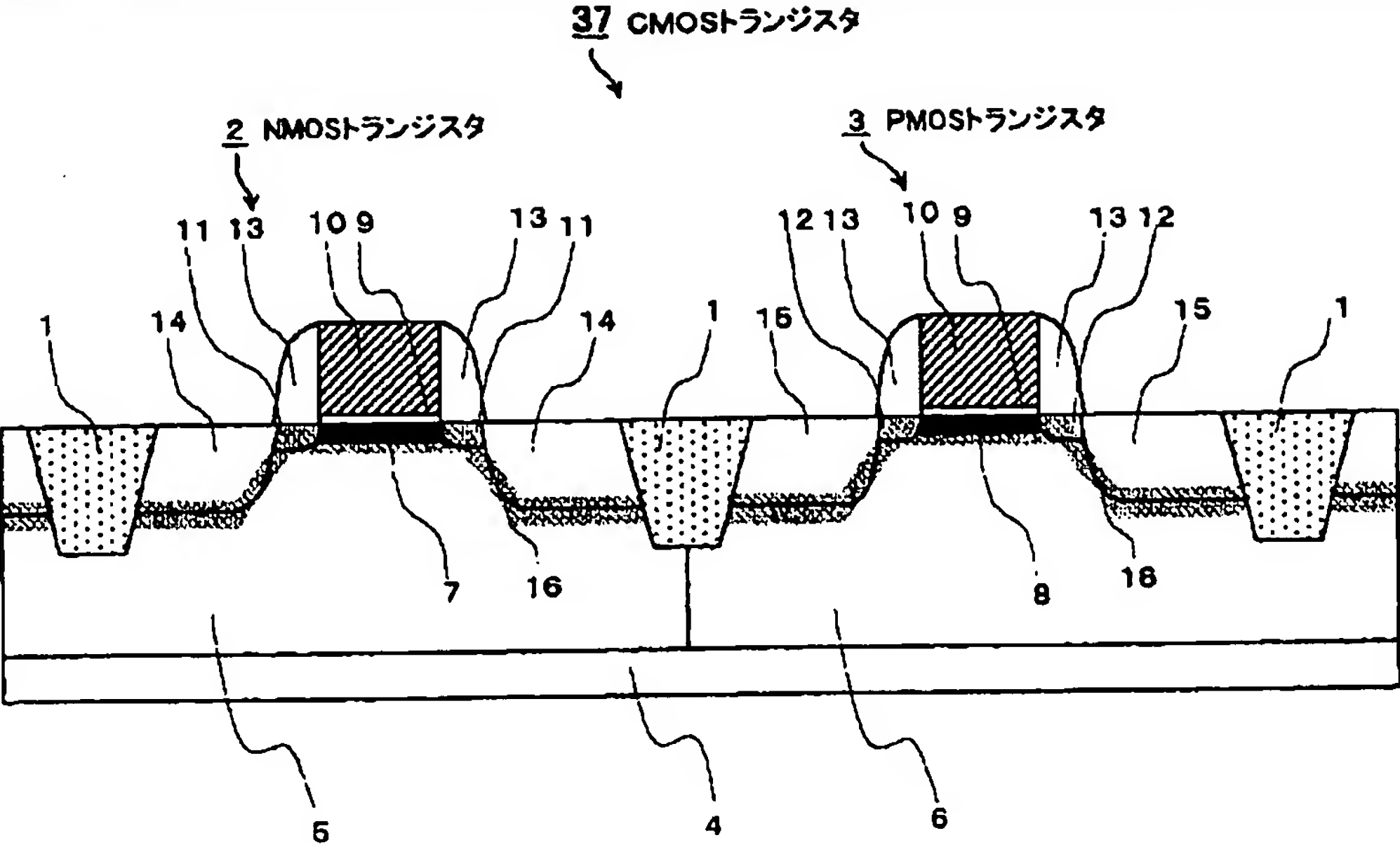
**2.\*\*\*\* shows the word which can not be translated.**

**3.In the drawings, any words are not translated.**

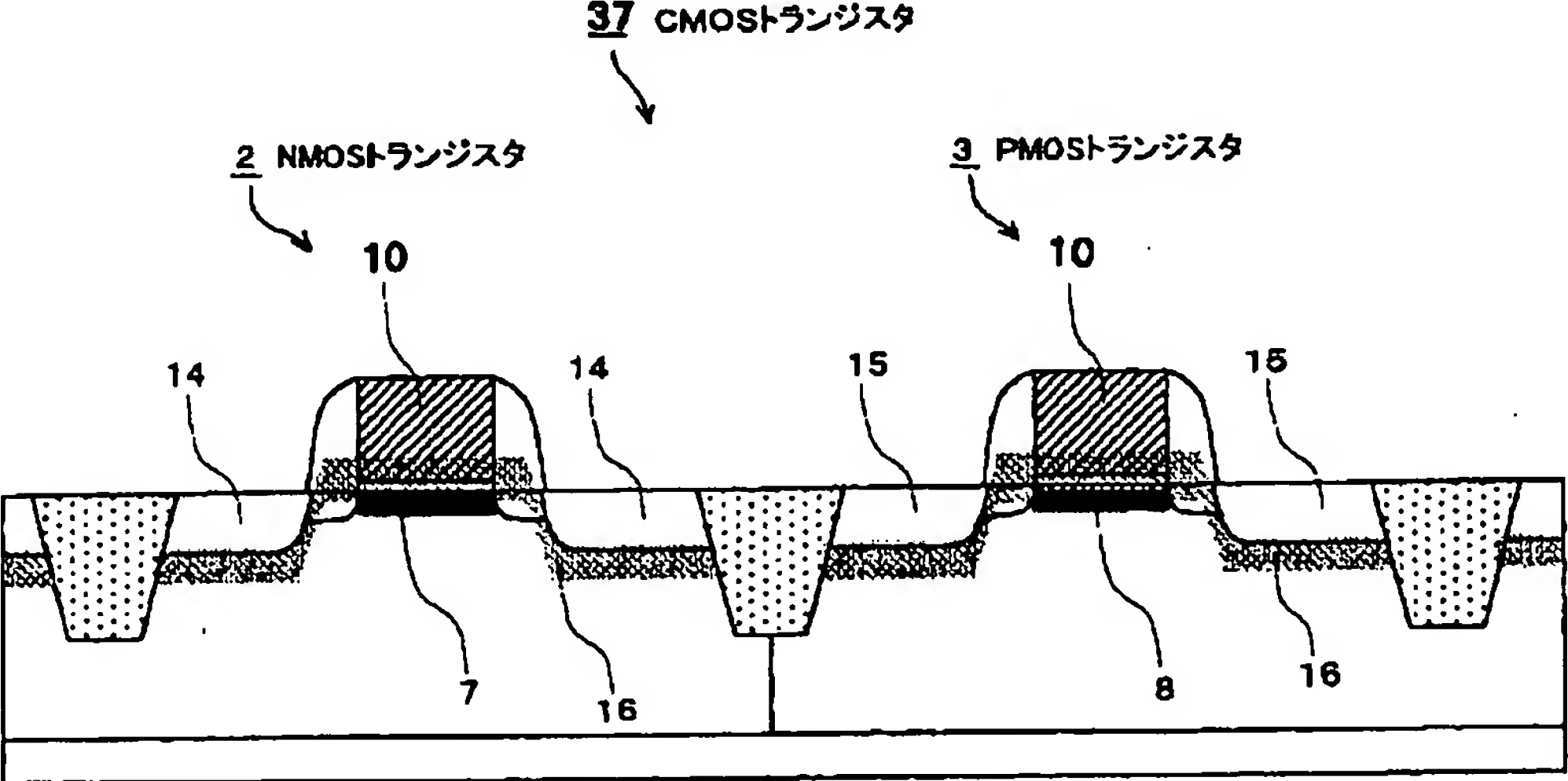
---

DRAWINGS

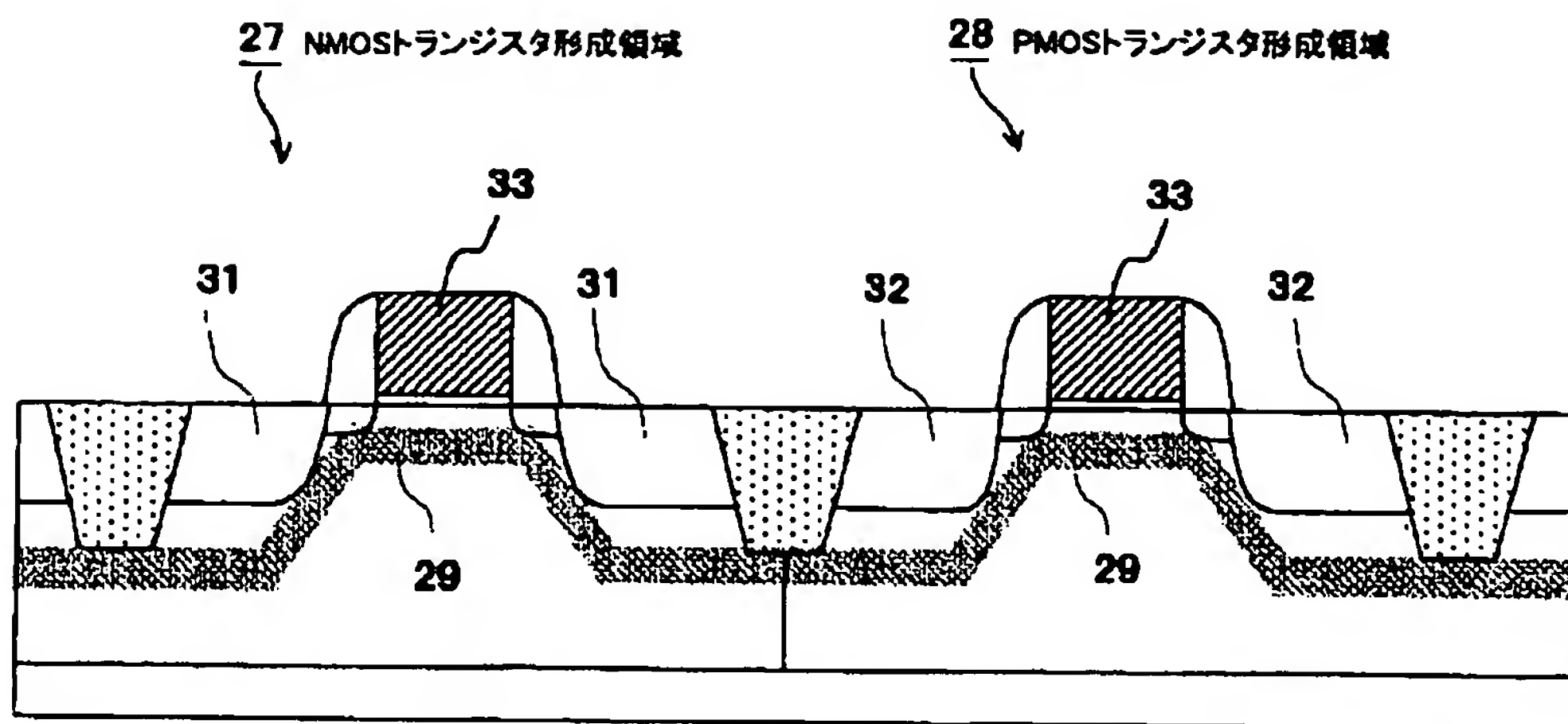
[Drawing 1]



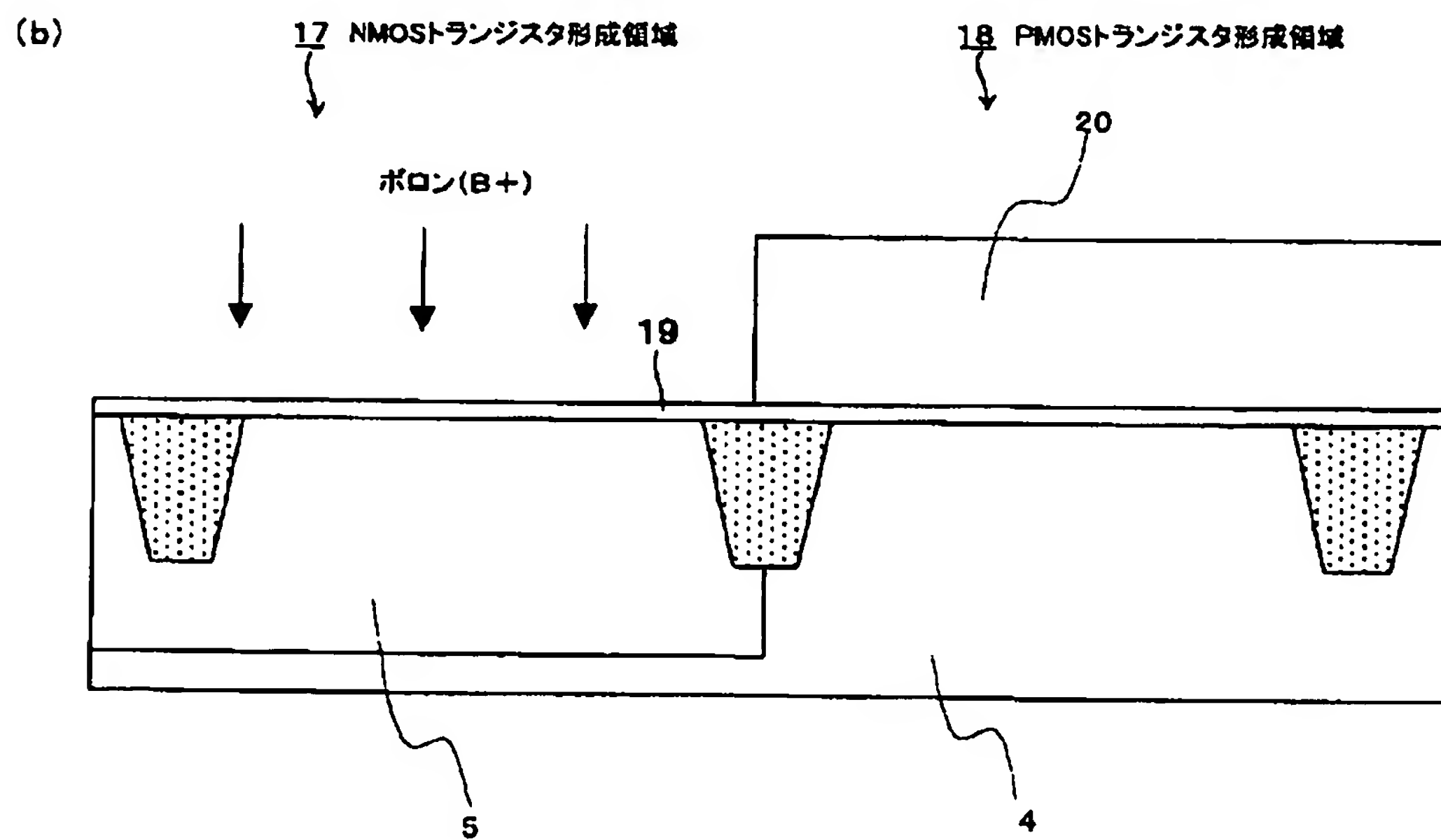
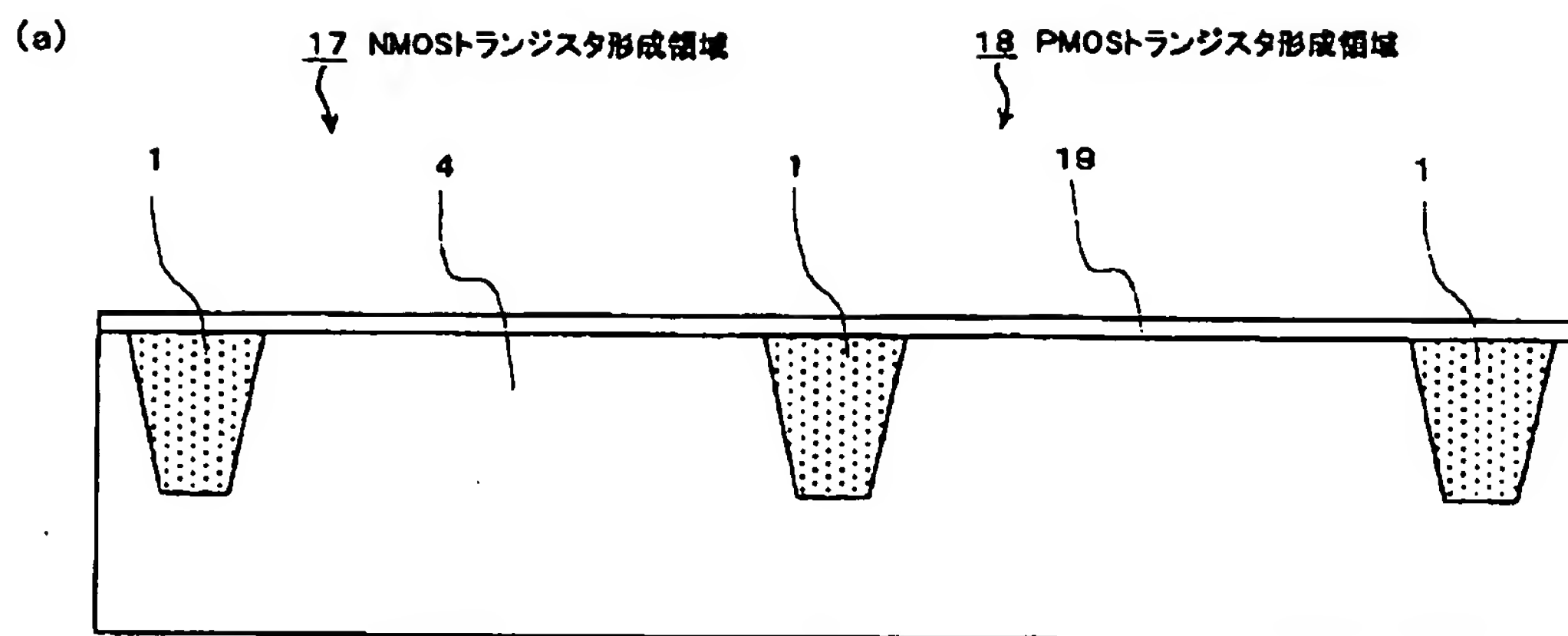
[Drawing 2]



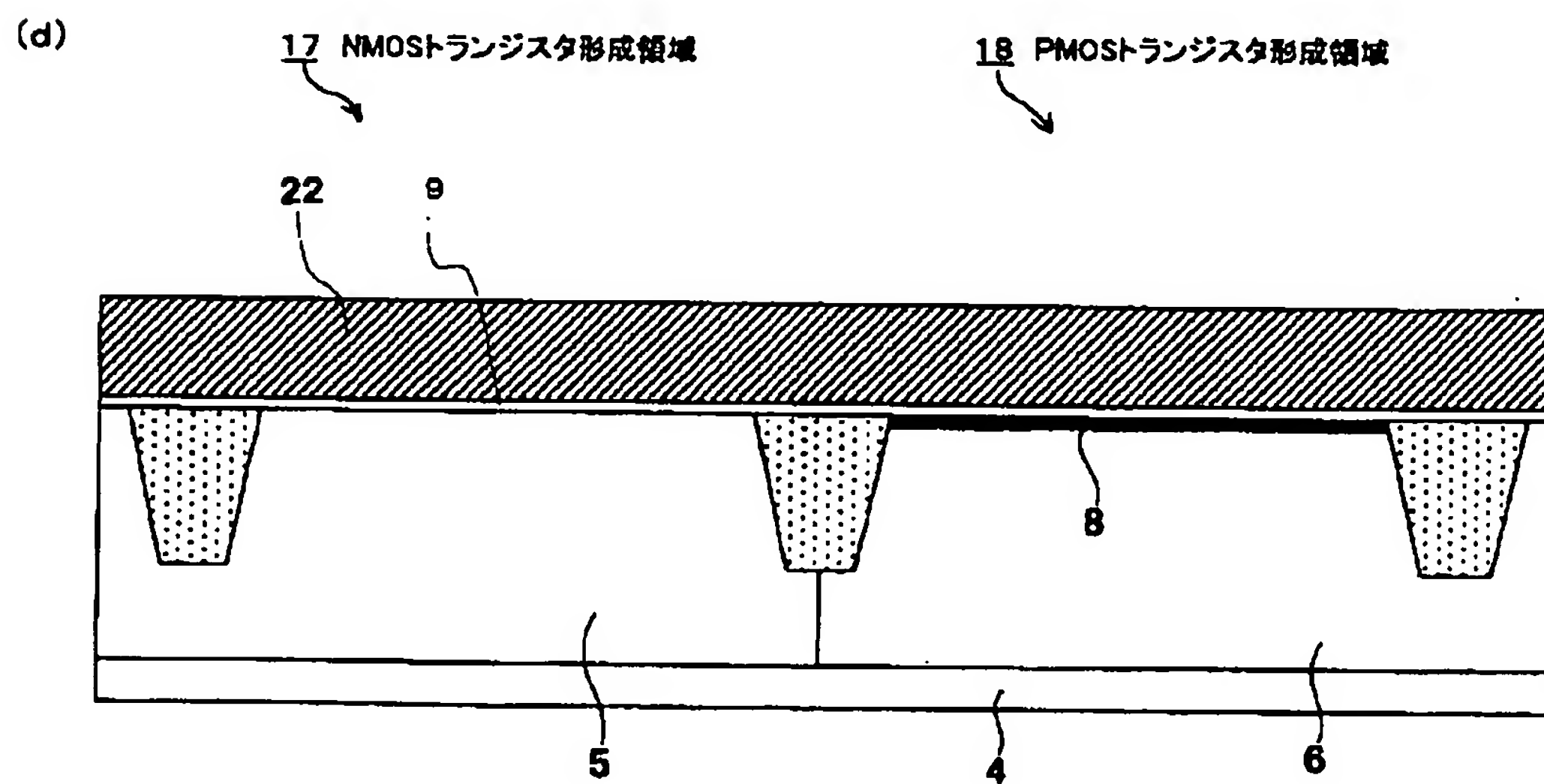
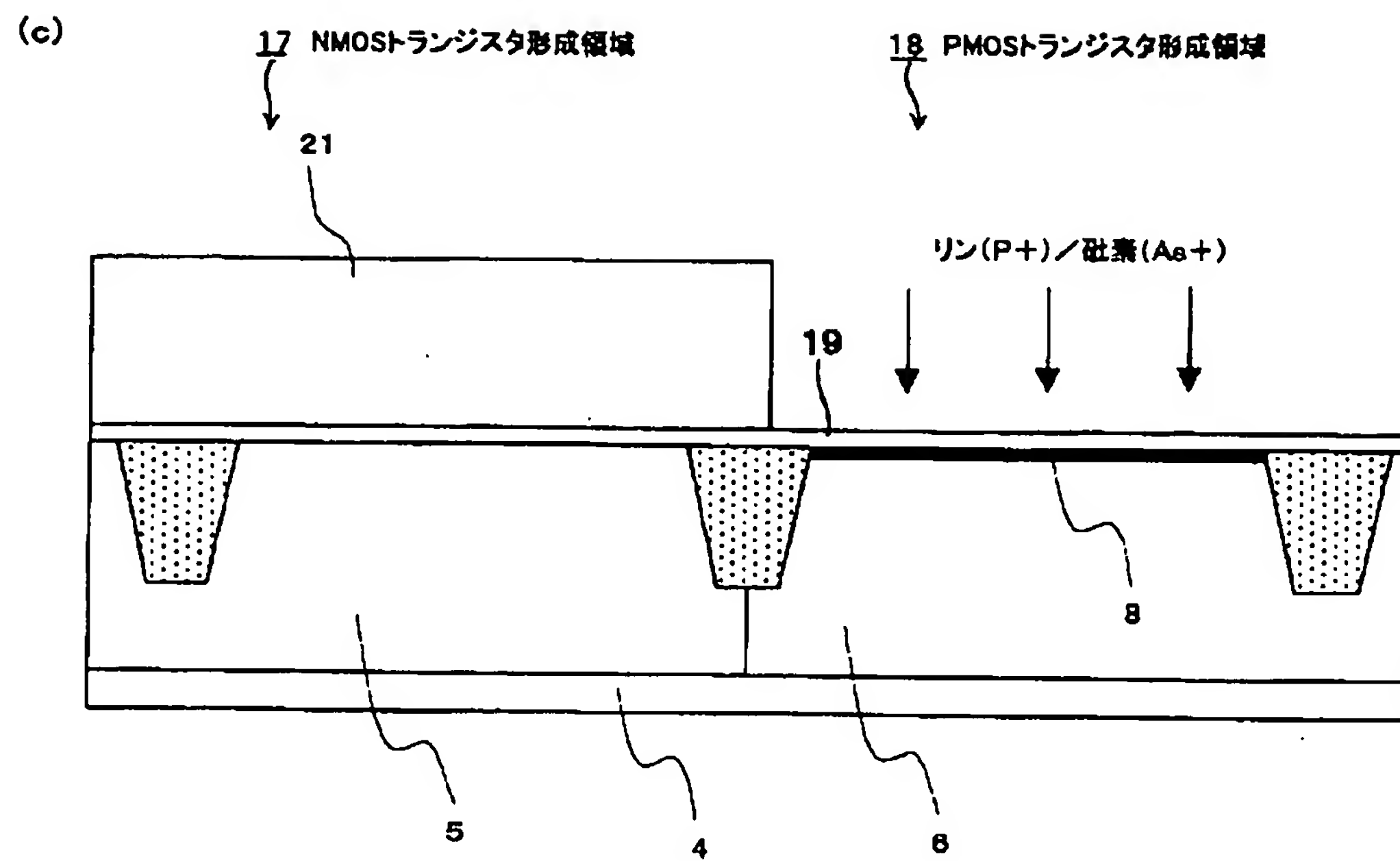
[Drawing 14]



[Drawing 3]

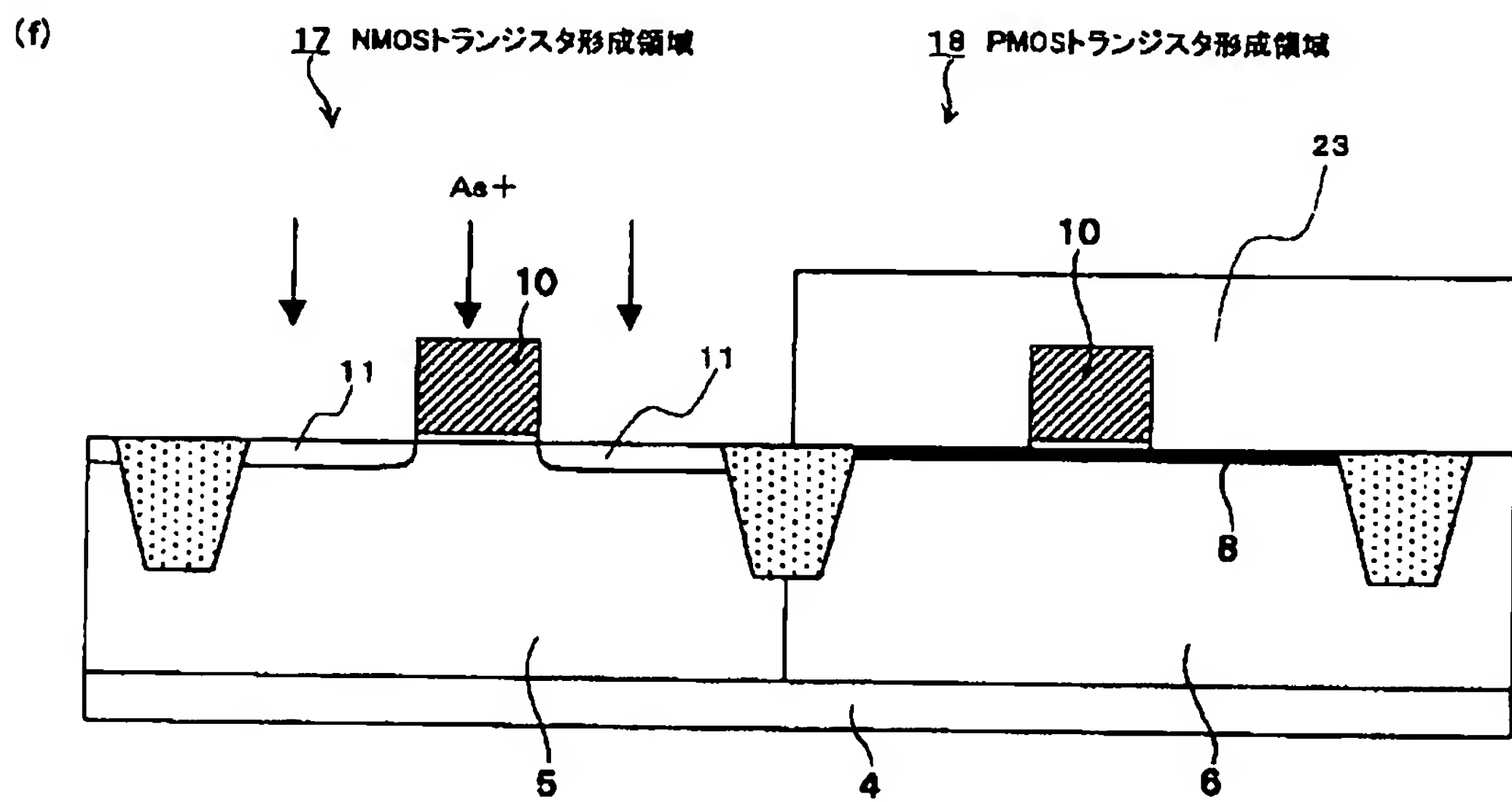
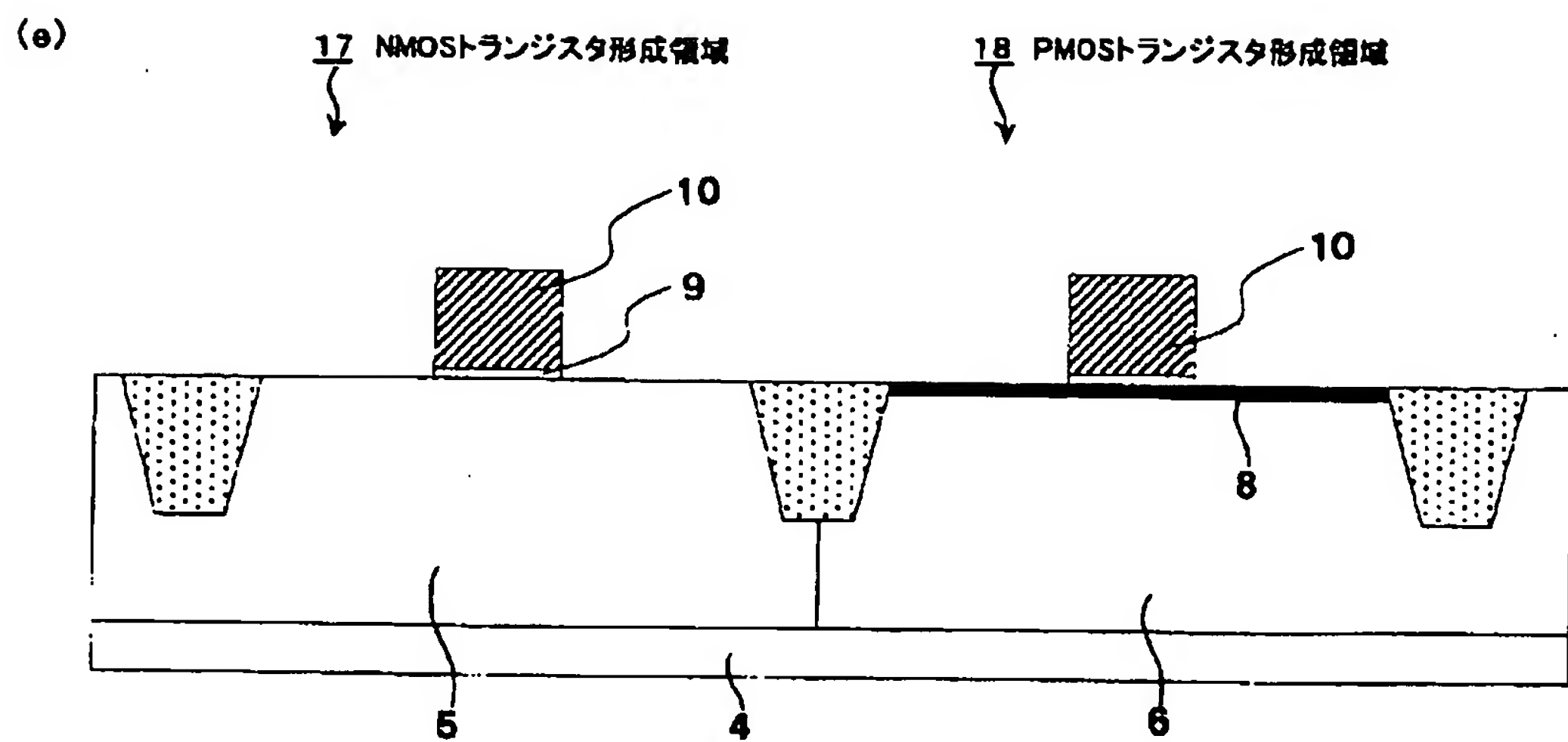


[Drawing 4]

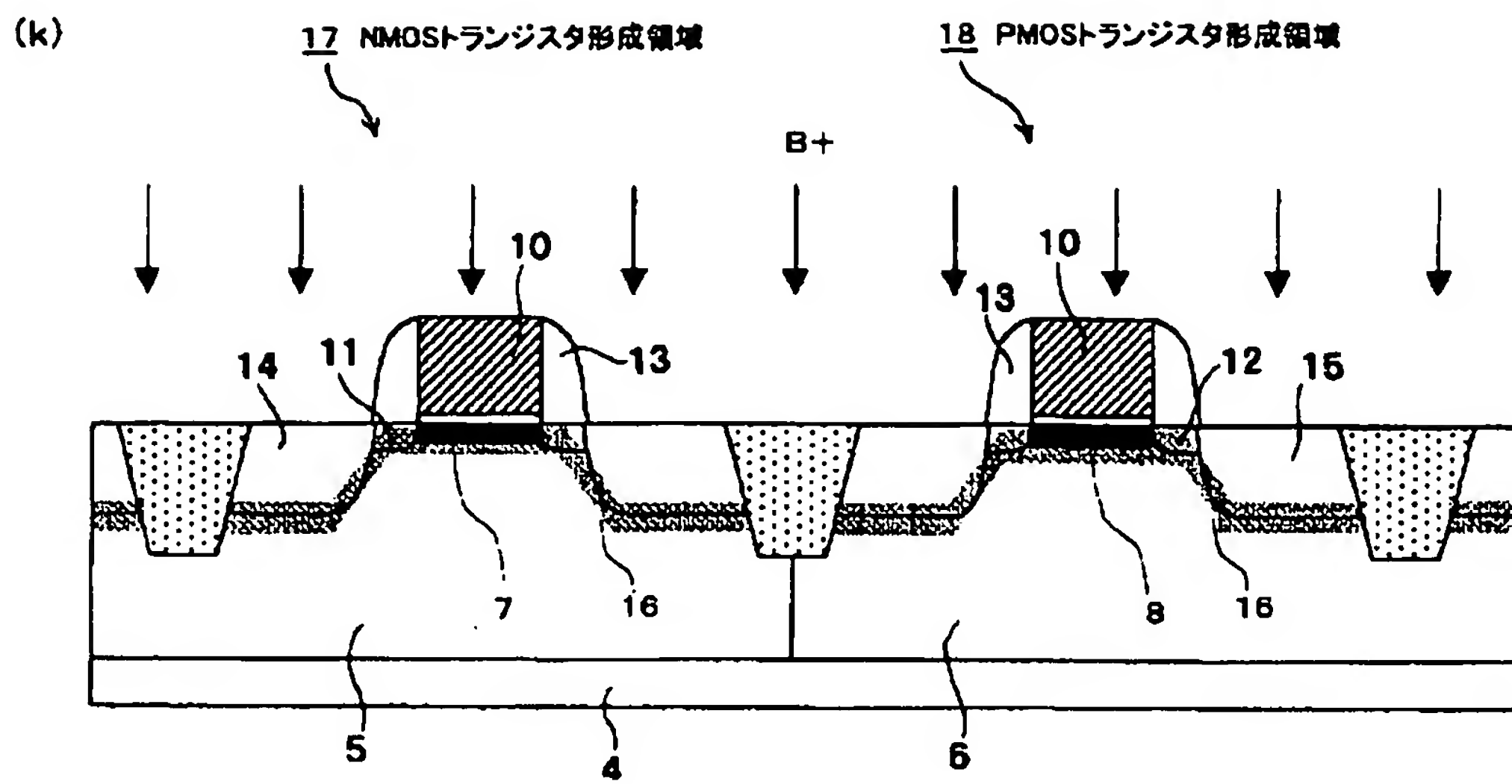


[Drawing 5]

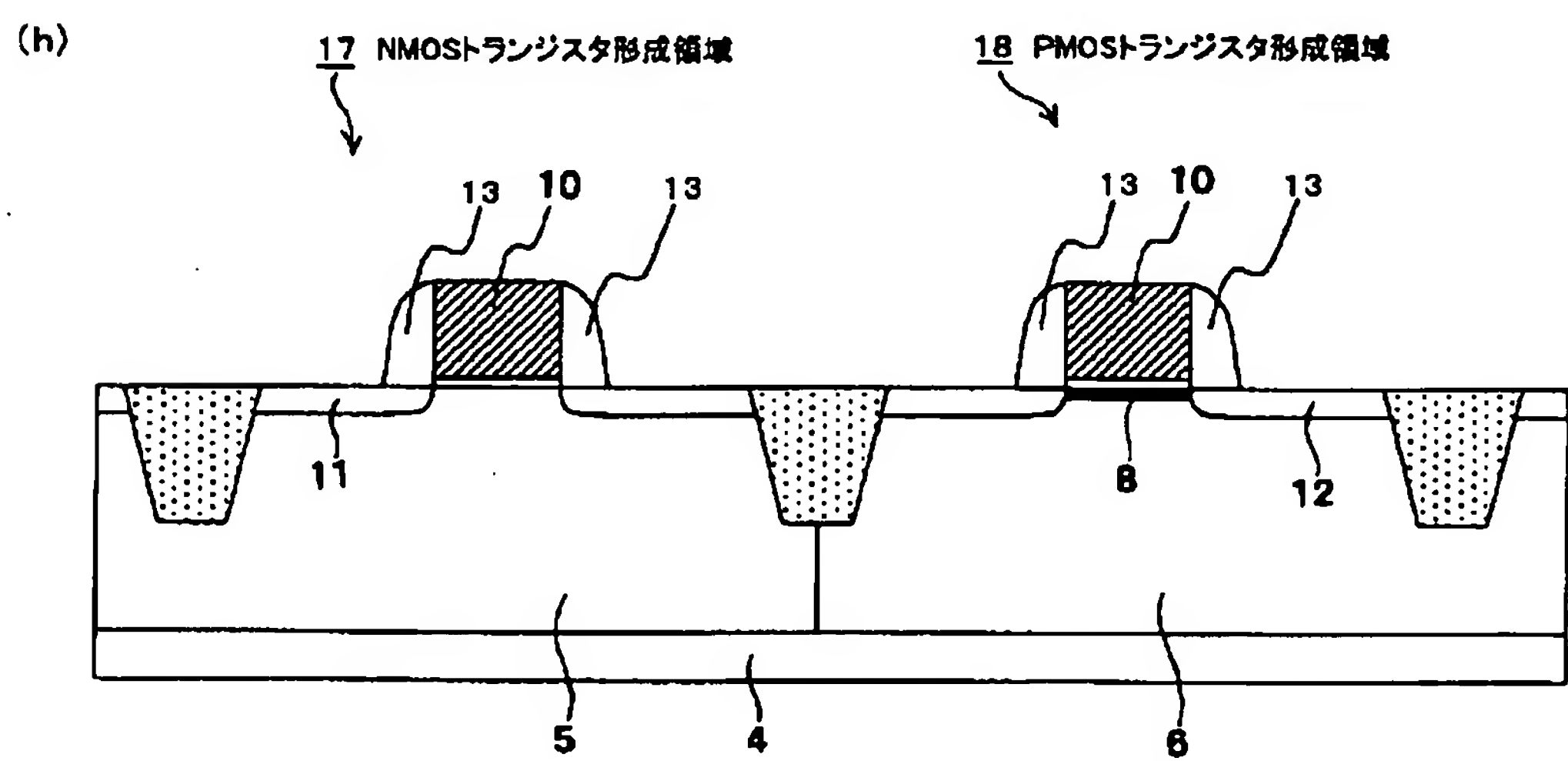
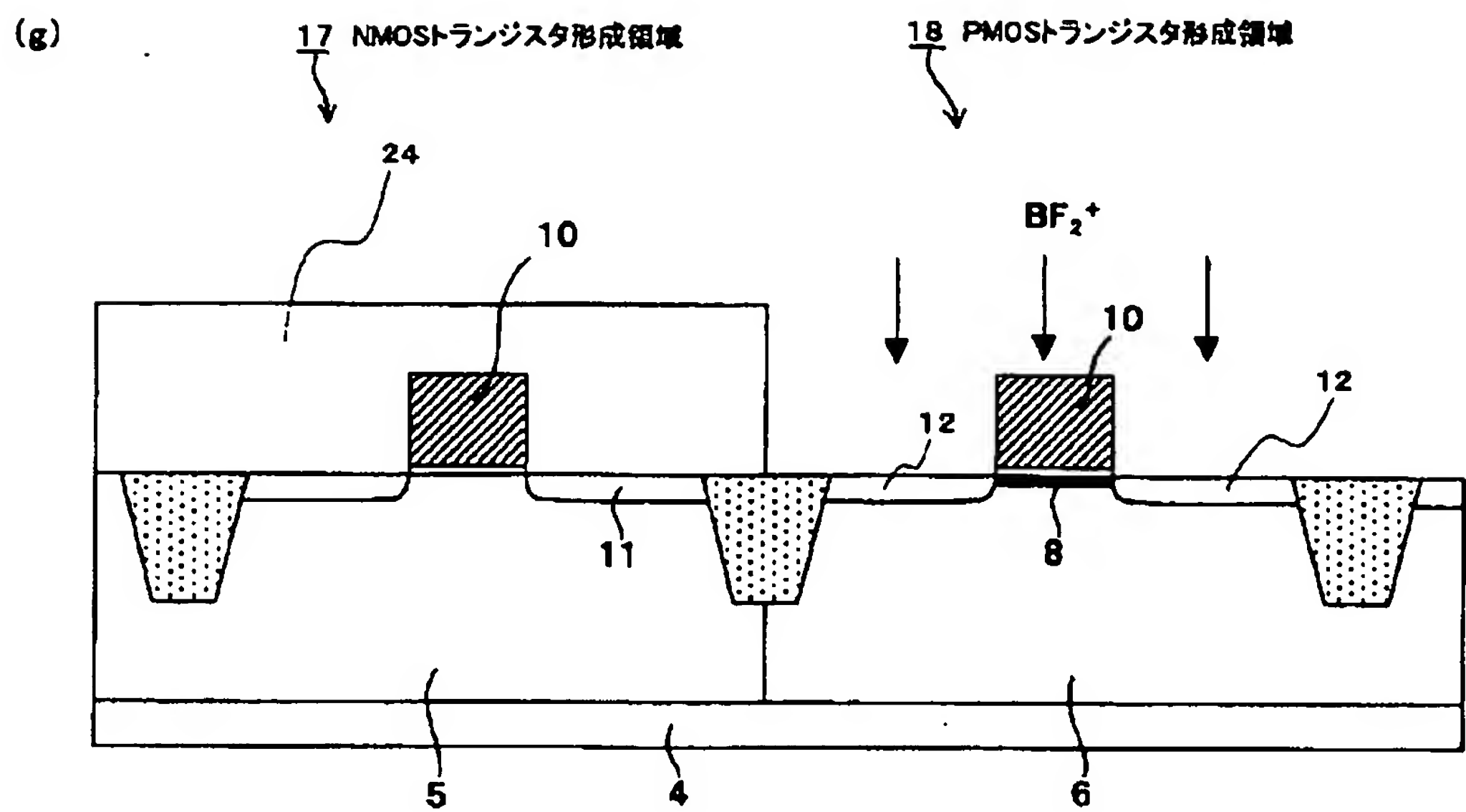




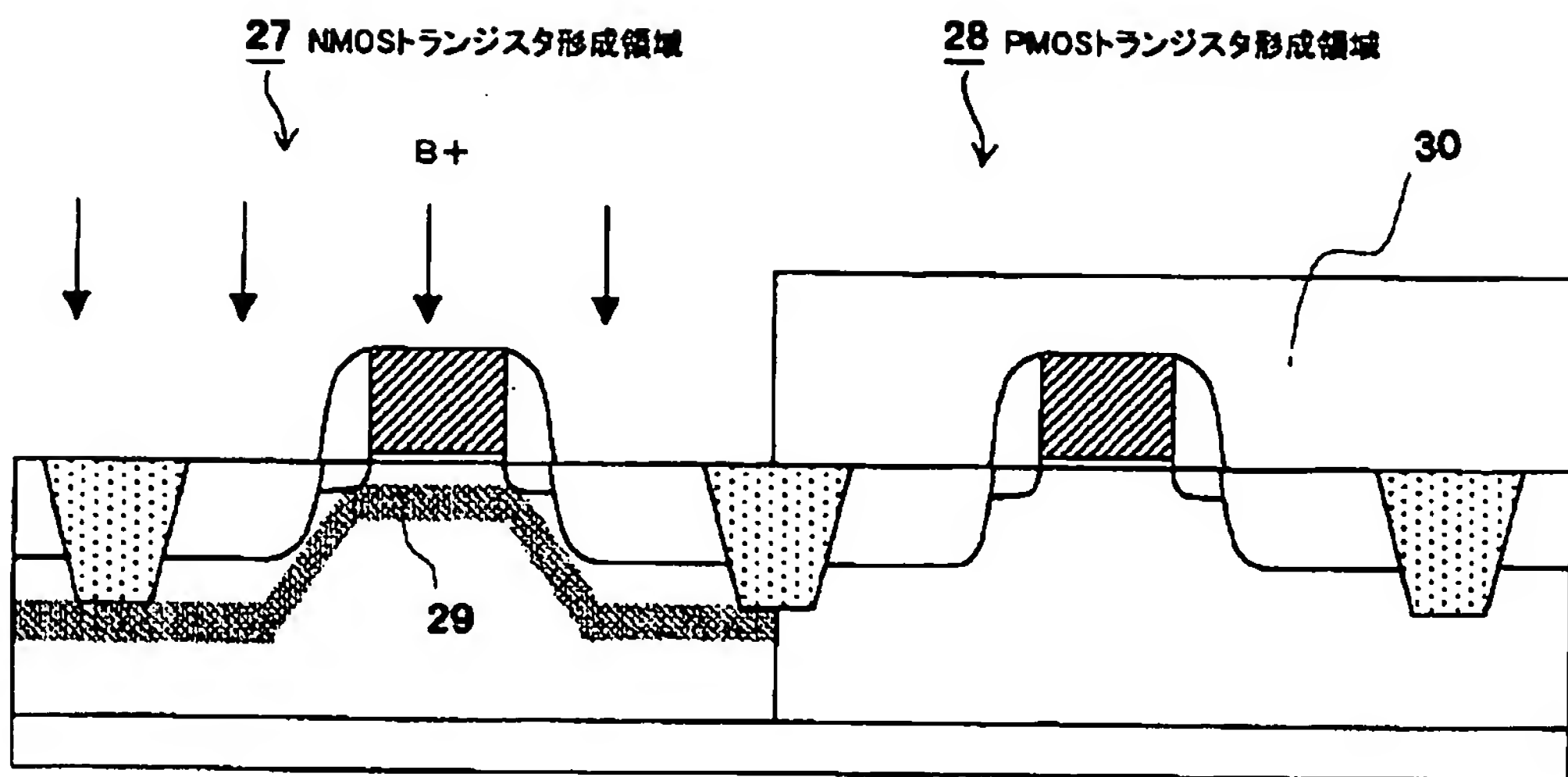
[Drawing 8]



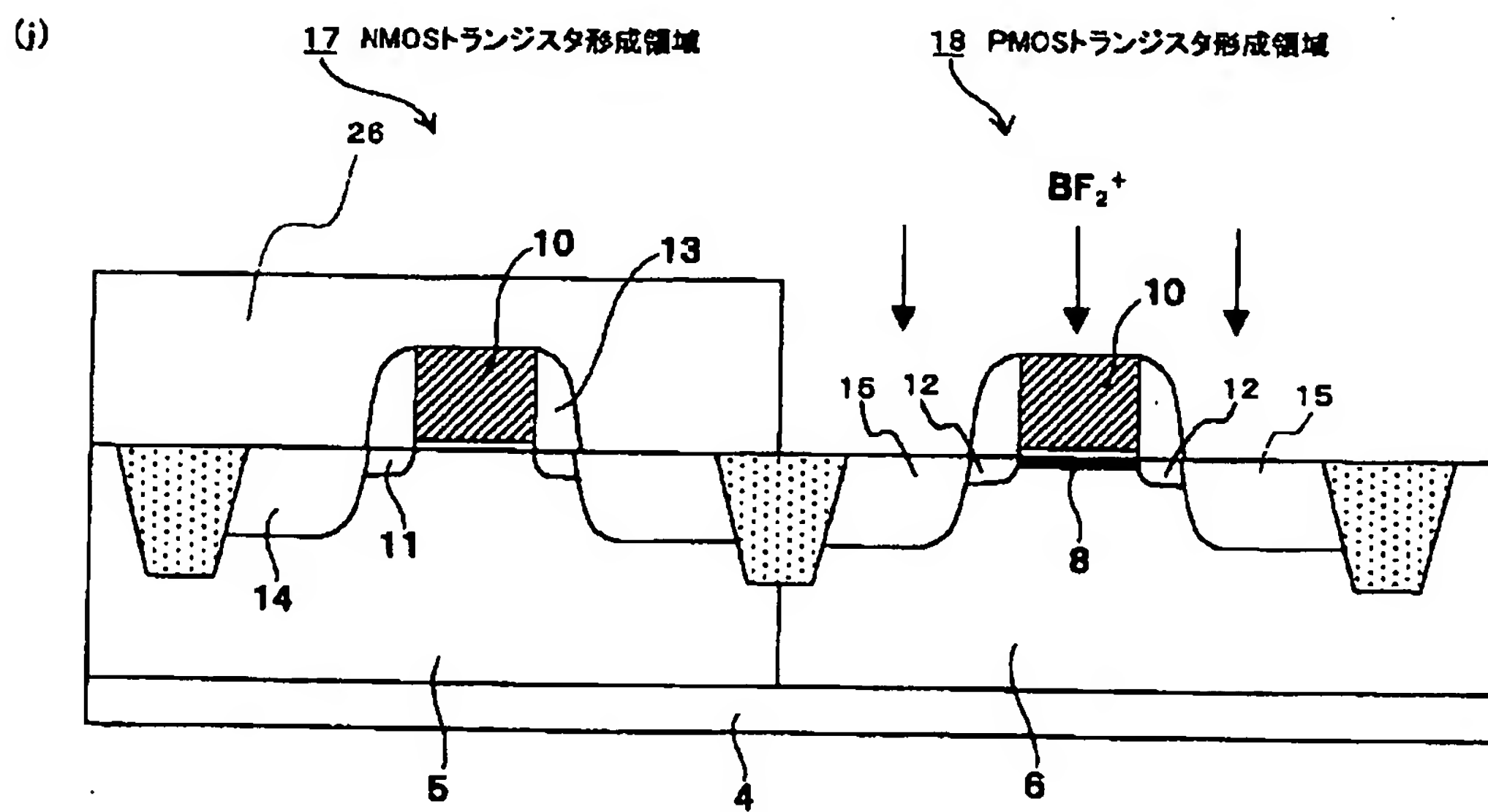
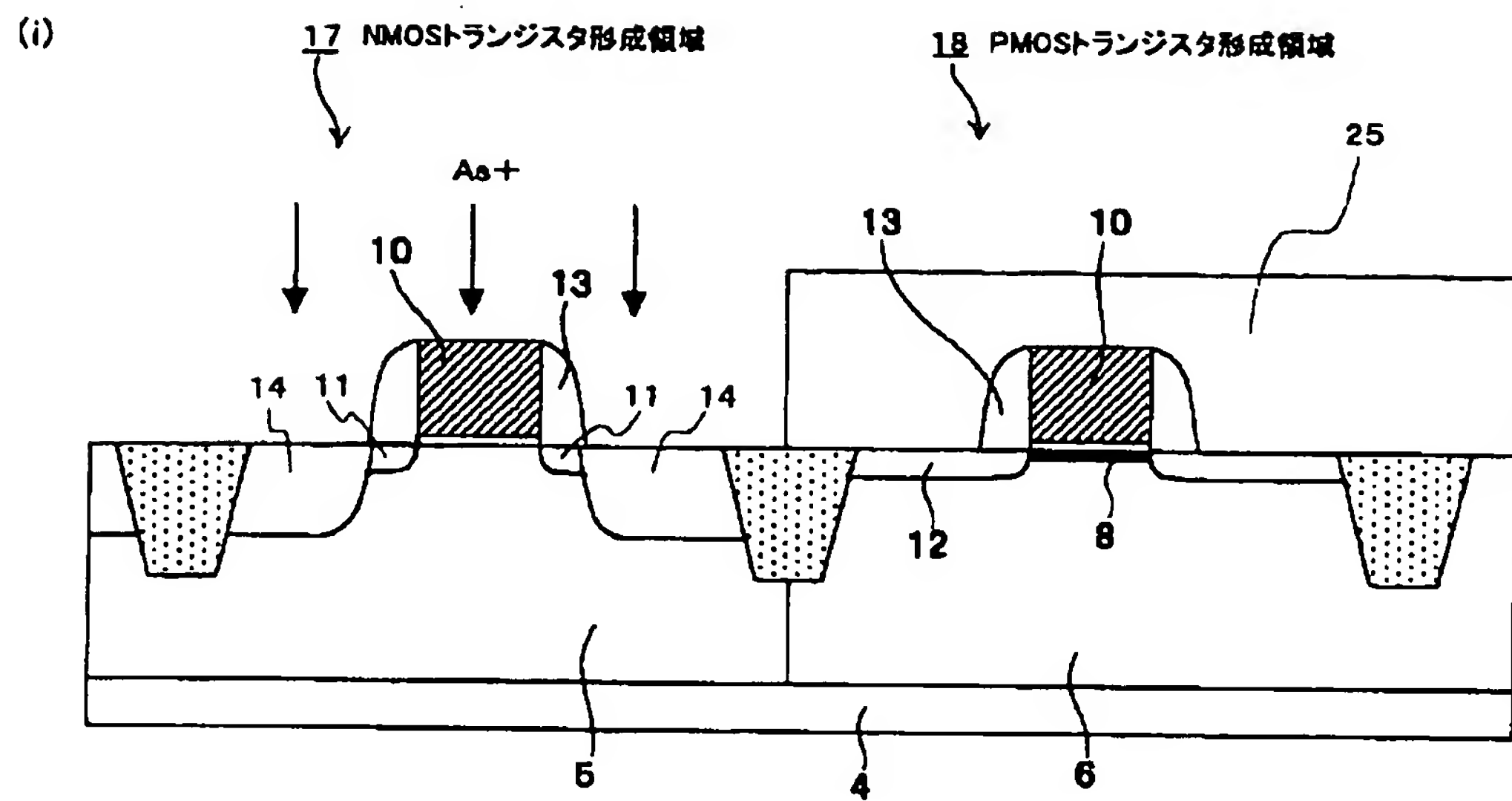
[Drawing 6]



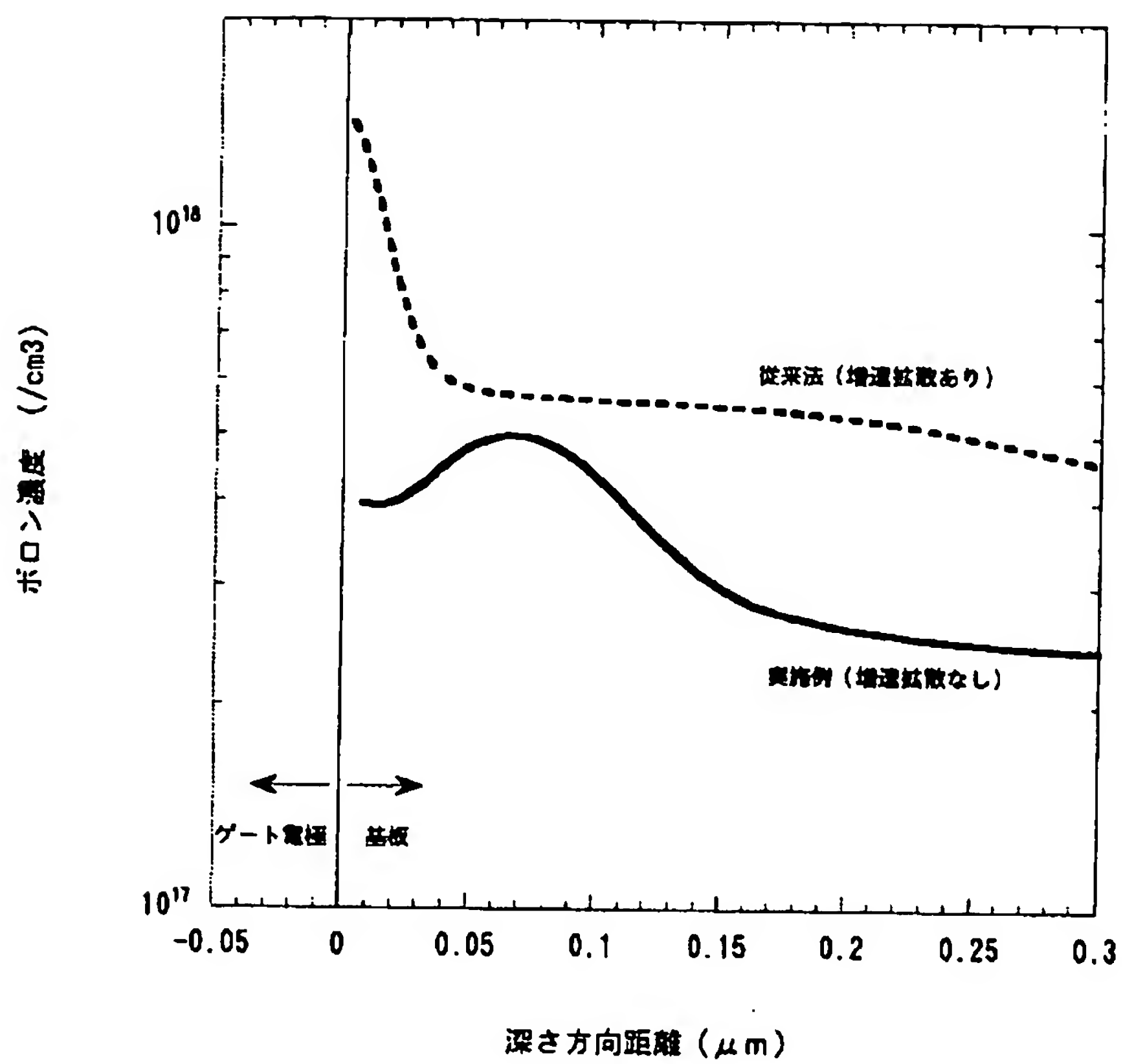
[Drawing 15]



[Drawing 7]

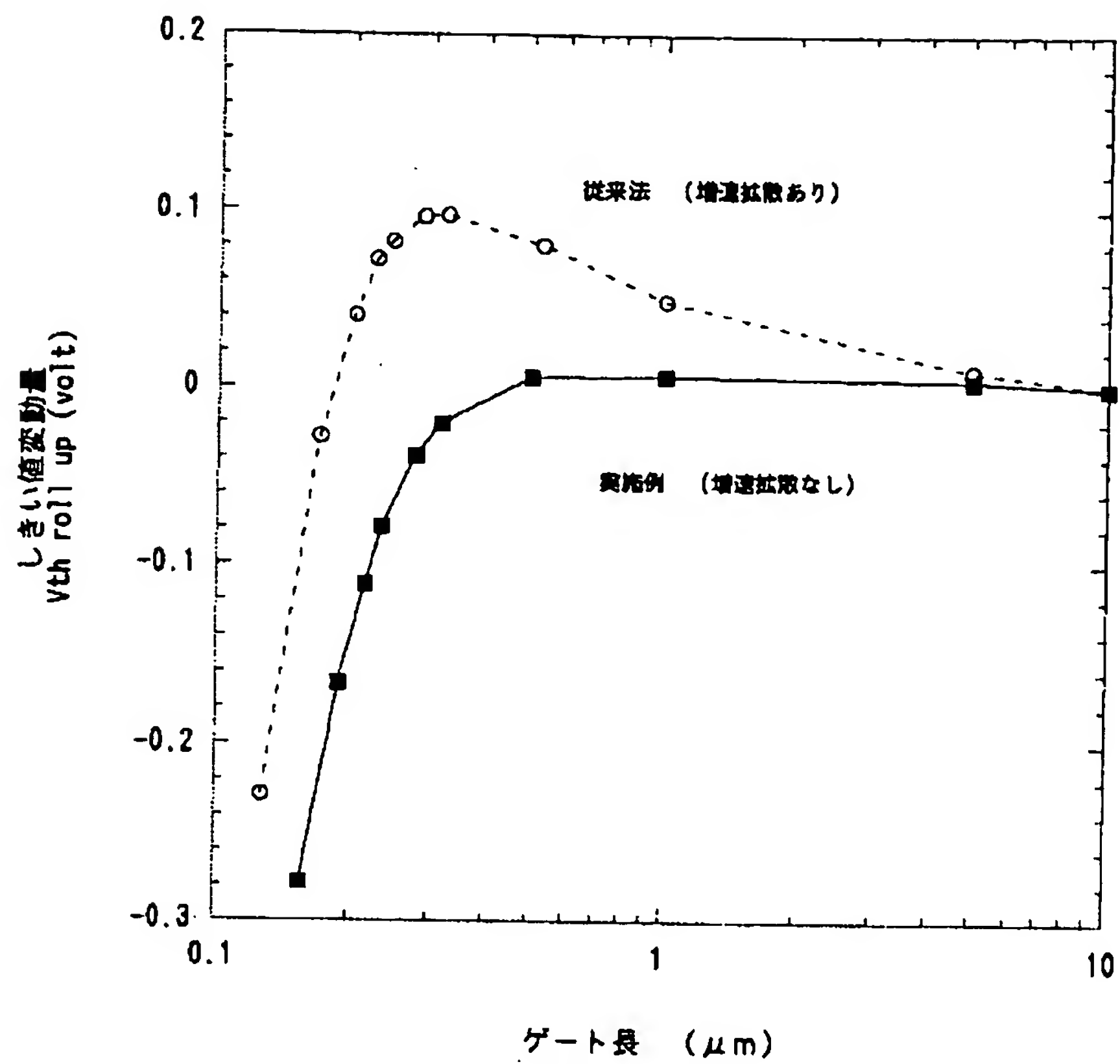


[Drawing 9]

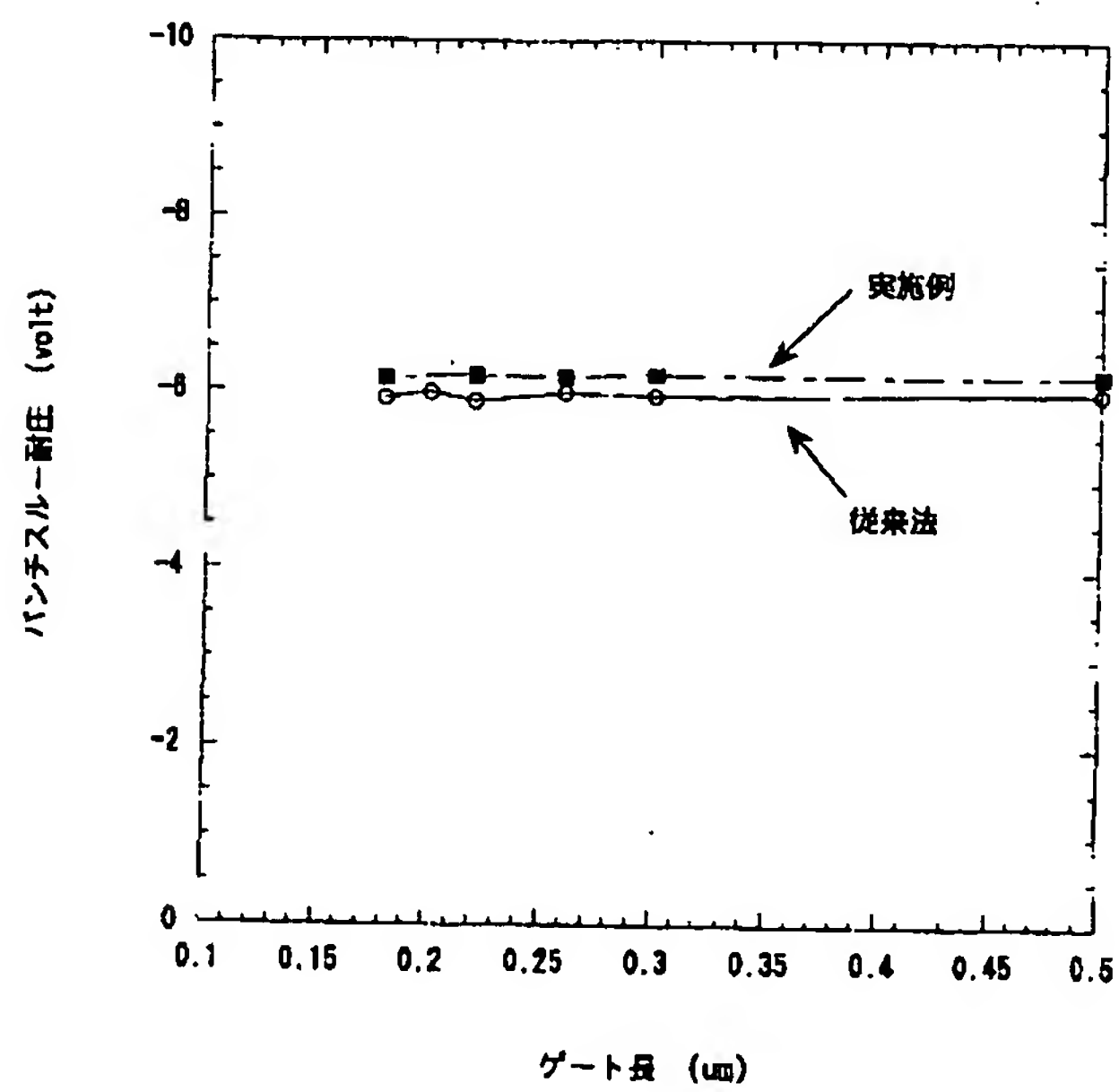


[Drawing 10]

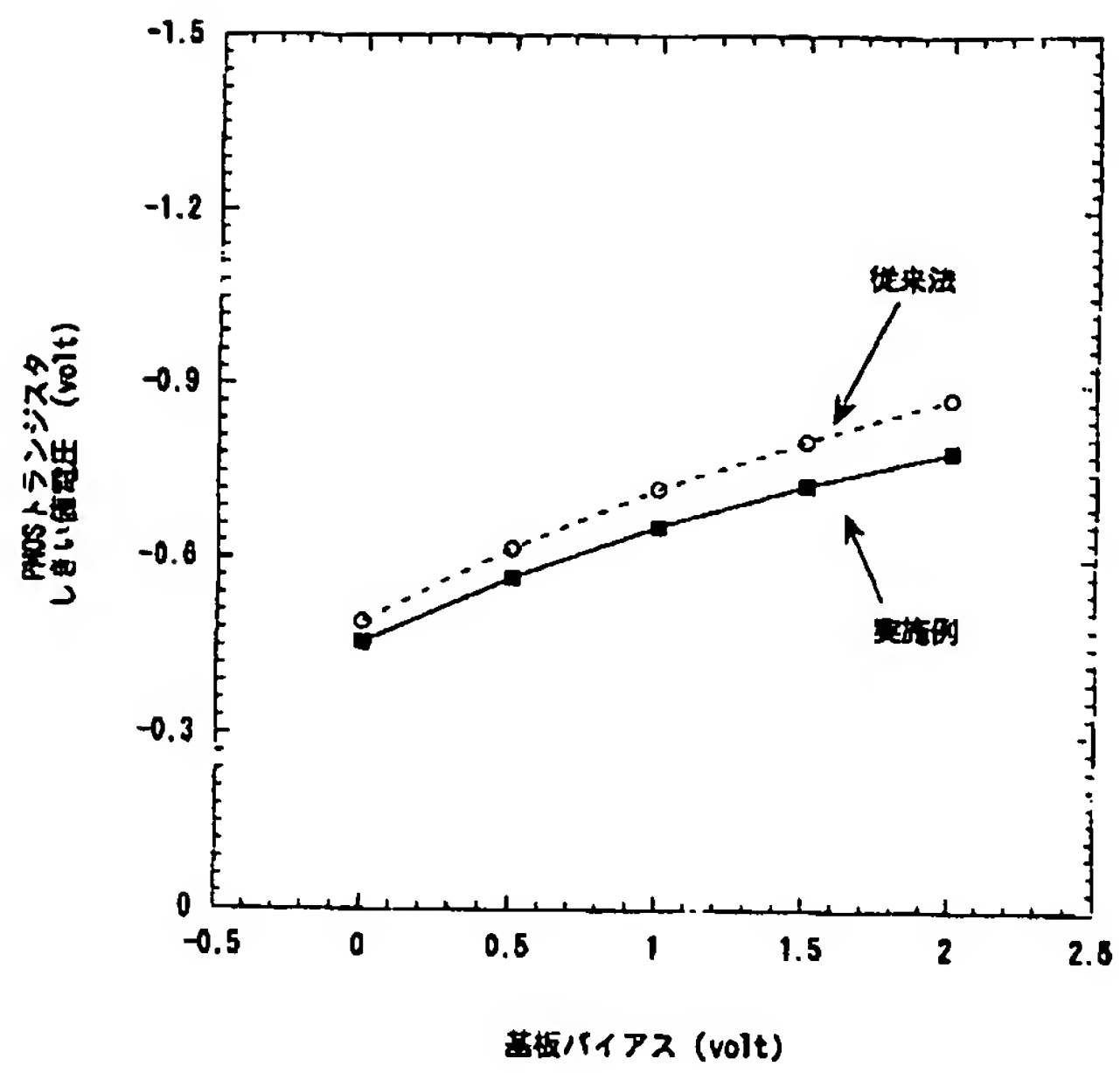




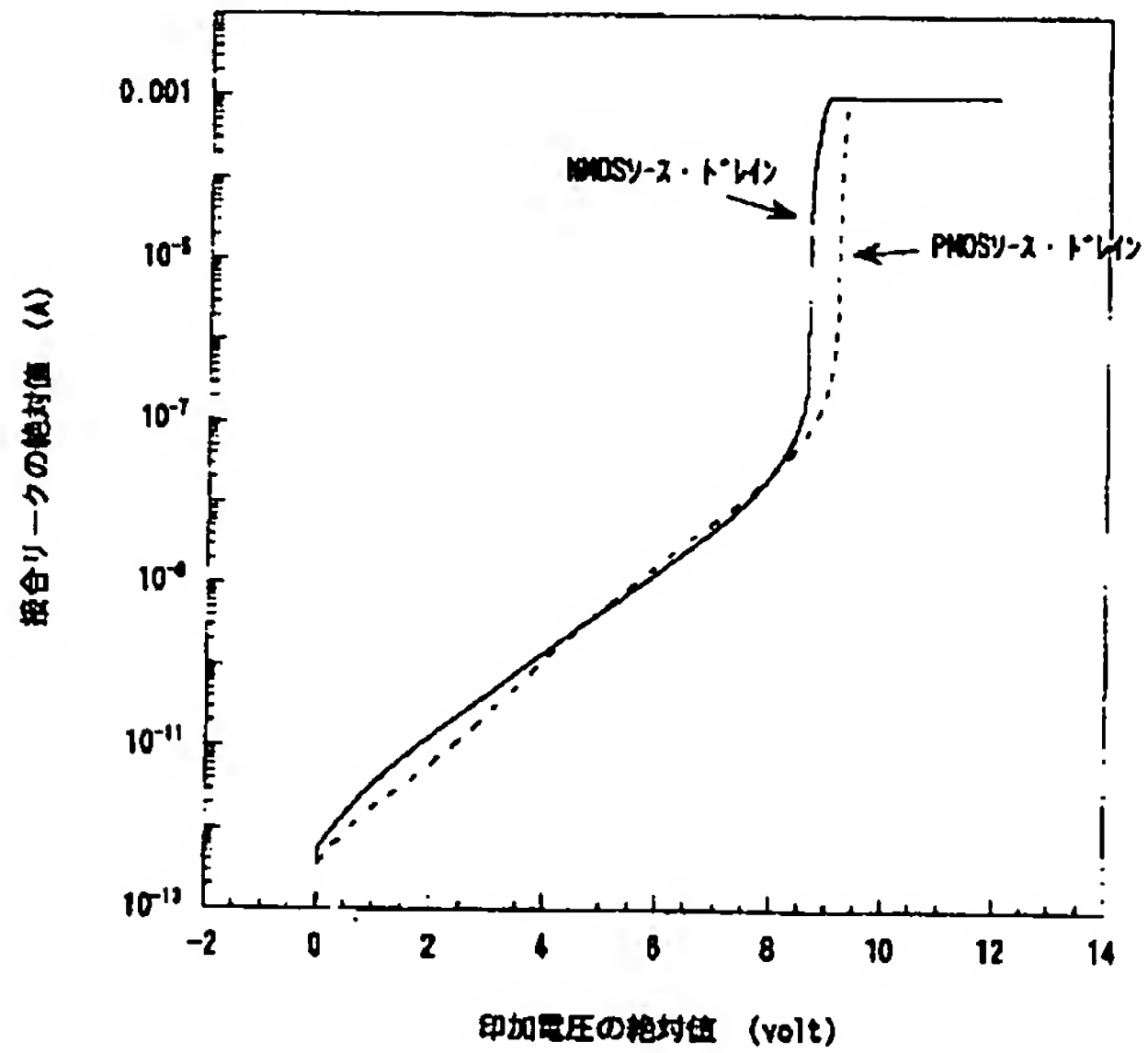
[Drawing 11]



[Drawing 12]



[Drawing 13]



[Translation done.]